

1.1 「プロセッサとメモリ」 解答解説

問1 ウ

コンピュータの構成要素に関する問題である。

アの演算装置は四則演算や大小の比較判断などを行う装置である。

イの記憶装置はプログラムやデータを記憶している装置である。

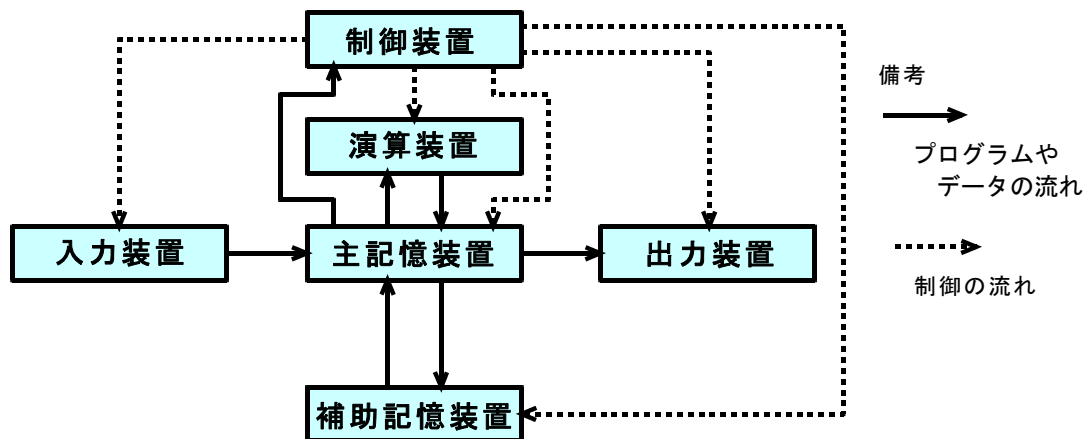
ウの制御装置はプログラムの命令に従い、入出力、記憶および演算の各装置に対して制御信号を出し、それらの装置のはたらきをコントロールする装置である。求める答えはウとなる。

エの入出力装置はプログラムやデータを入力したり、出力したりする装置である。

問2 エ

コンピュータの基本構成に関する問題である。

基本構成図



基本構成図における各装置は、aは制御装置、bは記憶装置、cは演算装置である。求める答えはエとなる。

問3 エ

制御装置の命令デコーダに関する問題である。

アのアキュムレータは演算結果や被演算数を入れるための専用レジスタである。

イの加算器は演算装置において、2進数の四則演算の加算を行う装置である。

ウの補数器は入力された2進数のデータの補数を出力する回路である。

エの命令デコーダは命令レジスタに設定された命令コードを解釈し、関係する回路に制御信号を送る装置である。

ア、イ、ウは演算装置、エは制御装置に含まれる。求める答えはエとなる。

問4 ア

コンピュータの記憶装置に関係する要素の問題である。

解答群の内容からレジスタ、主記憶装置、補助記憶装置(ハードディスク)が比較対象になっている。マシン命令のオペランドで指定されるメモリはレジスタまたは主記憶である。オペランド

で指定するアドレス長は構成要素 a が 30 ビットで長く、構成要素 b は 5 ビットで短い、従って、構成要素 a が大容量の主記憶装置であり、構成要素 b が小容量のレジスタである。求める答えはアとなる。

問5 イ

コンピュータの構成要素に関する問題である。

コンピュータの 5 機能を整理すると次のようになる。

- ① 入力装置 プログラムやデータを入力する装置
- ② 記憶装置 プログラムやデータを記憶する装置
- ③ 演算装置 四則演算や大小の比較・判断などを行う装置
- ④ 出力装置 処理結果などを用紙や画面などに出力する装置
- ⑤ 制御装置 プログラムの命令に従い、入力・記憶・演算および出力の各装置に対して制御信号を出し、それらの装置のはたらきをコントロールする装置

命令は記憶装置から取り出され、制御装置で解釈される。求める答えはイとなる。

問6 ウ

処理装置を構成する要素と命令実行に関する問題である。

分岐命令は、次に実行すべき命令アドレスを決める命令である。無条件分岐命令と条件分岐命令がある。条件分岐は条件が成立の場合にはオペランドアドレスに分岐し、不成立の場合には分岐せずに引き続く命令を次に実行すべき命令とする。または、条件が不成立の場合にはオペランドアドレスに分岐し、成立の場合には分岐せずに引き続く命令を次に実行すべき命令とする。いずれの場合も分岐する場合は次に実行する命令のアドレスを指定する必要がある、このためにプログラムレジスタが使用される。

アのインデックスレジスタは、CPUの制御装置にあるインデックス・アドレス指定方式で使用されるレジスタで、命令のアドレス部を修飾して、実際にアクセスするデータなどのアドレスを求める際に使用されるレジスタを指す。

イの汎用レジスタは、プロセッサ内でALUまたはメモリから与えられたデータを一時格納する。処理の対象となるデータの番地を指示するのにも使用される。

ウのプログラムレジスタは、次に実行すべき命令が格納されている番地を保持するのに用いる。命令がフェッチされるのと同時にインクリメントされ次の命令番地になる。分岐命令の実行によって更新されるのはプログラムレジスタである。求める答えはウとなる。

エの命令レジスタは、メモリからフェッチされた命令を一時的に格納する。

問7 エ

プログラムカウンタに関する問題である。

プログラムカウンタ(プログラムレジスタ)は、次に実行すべき命令が格納されている番地を保持するのに用いる。命令がフェッチされるのと同時にインクリメントされ次の命令番地になる。分岐命令の実行によって更新されるのもプログラムカウンタである。

アはメモリデータレジスタ、イは汎用レジスタ、ウは命令レジスタ、エはプログラムカウンタである。求める答えはエとなる。

問8 エ

ノイマン・コンピュータの特徴に関する問題である。

ノイマン・コンピュータの特徴

- ① プログラム内蔵方式は、実行するプログラムと処理されるデータを、コンピュータ内部のメモリ装置にあらかじめ格納し、実行時に必要なプログラムを読み出す方式である。
- ② 逐次コンピュータは、指定された順序によって命令の実行順序を定める。命令はプログラムカウンタによって逐次的に呼び出され制御される。
- ③ 命令セットアーキテクチャは、CPU内部に組み込まれて、CPUをコントロールするプログラムを構成しているアーキテクチャである。ハードウェアとソフトウェアの機能分担が決められている。
- ④ 線形メモリ装置は、メモリには線形にアドレスが付けられている。

アのアドレス方式はコンピュータの命令のアドレス部のアドレスの並び方で、アドレス部で指定できるアドレスの個数によって、1アドレス方式、2アドレス方式、3アドレス方式、4アドレス方式がある。

イの仮想記憶方式は補助記憶装置を利用してあたかも補助記憶装置がメインメモリのように扱える記憶領域を有しているシステムの方式である。これによって、メモリの容量を超えるような大きなプログラムの実行や大量のデータ処理が可能になる。

ウの直接プログラム制御方式はCPUが直接に入出力命令を使用して入出力装置を制御し、CPUー入出力装置間のデータ転送を行う方式である。

エのプログラム格納方式はプログラムやデータをメモリに格納し、それらを逐次取り出してCPUで処理する方式で、ノイマンコンピュータはこの形式のコンピュータである。求める答えはエとなる。

問9 エ

コンピュータの命令実行順序に関する問題である。

コンピュータの命令実行順序

- ① 命令のフェッチ(取り出し)
- ② 命令のデコード(解読)
- ③ オペランドフェッチ
- ④ 命令の実行

命令のフェッチ→命令の解読→オペランドのフェッチ→命令の実行の順になり、求める答えはエとなる。

問10 エ

命令の構成に関する問題である。

命令構成の特徴

- ① 命令は命令コードとオペランドによって構成される。
- ② オペランドにはソースオペランドとデスティネーションオペランドがある。
- ③ データの格納元や格納先の資源にはメインメモリとレジスタがある。
- ④ 命令形式はオペランド数によって分類できる。0アドレス形式のスタックマシンもある。

- ⑤ 命令形式・命令長に関しては、固定長命令・オペランド数固定、可変長命令・オペランド数固定、可変長命令・オペランド数可変に分けることができる。

アのオペランド数は、ソースオペランドとデスチネーションオペランドの使い方や格納対象になるメインメモリやレジスタによって決まるもので、主記憶の番地の個数によって決まるものではない。

イの命令語の長さは、命令によって必要なオペランドが異なり、一つのコンピュータでも一定ではない。代表的な命令形式は一定となる。

ウの命令の種類数に影響するのは可変長命令か固定長命令かであって、命令語長の長さの問題ではない。可変長命令は命令種類の多種多様化が図れる。

エの命令コードとオペランドの命令の構成に関する問題では、オペランドがないスタックマシンが存在する。エの内容は正しい。求める答えはエとなる。

問11 ウ

CPUの命令実行順序に関する問題である。

演算命令の実行順序は、命令の取出し、命令の解読、有効アドレスの計算、データの取出し、実行、結果の格納の順に行われる。従って、命令解読とオペランド呼出の間に行われるのは有効アドレス計算である。求める答えはウである。

問12 イ

インデックスレジスタの特徴に関する問題である。

インデックスレジスタは命令のアドレス部の基準値に加算する増分値を保持するレジスタである。ベースレジスタは基準値を保持し、命令アドレス部に加算する相対値を格納する。

アはベースレジスタ、イはインデックスレジスタ、ウは命令レジスタ、エは汎用レジスタである。求める答えはイとなる。

問13 エ

ベースアドレス指定方式の有効アドレスを計算する問題である。

インデックスアドレス指定方式は命令のアドレス部に基準アドレス、インデックスレジスタに増分値が格納される。ベースアドレス指定方式はベースレジスタに基準アドレスが、命令のアドレス部に相対アドレスが格納される。ベースアドレス指定方式は再配置可能プログラムに利用される。従って、フラグメンテーションを解消するコンパクションや仮想記憶のページングに使用される。

ベースレジスタ方式であるから、ベースレジスタの示す値にアドレス部の値を加算して有効アドレスを求める。ベースレジスタB=1の内容は100であり、アドレス部ADの値は200であるから

$$100 + 200 = 300$$

を有効アドレスとするメモリの内容を汎用レジスタにロードする。ロードされる値は1300である。求める答えはエとなる。

問14 ウ

アドレス指定方式の特徴に関する問題である。

アのインデックスアドレス方式は、アドレス部の値にインデックスレジスタの値を加えて、処理対象のデータが格納されているアドレスを指定する方式である。連続した番地に対して、同一命令を繰り返して実行させるときに使用する。従って、メモリを参照する。

イの間接アドレス指定方式は命令のアドレス部で指定するメモリの内容が、処理対象データの番地を指す方式である。この場合、命令が実行されるときメモリを2回以上アクセスすることになる。

ウの即値アドレス方式は命令のアドレス部が処理対象データである。メモリを参照しないため演算処理は高速であるが、データの大きさに限界がある。求める答えはウとなる。

エの直接アドレス指定方式はアドレス部に処理対象データの格納されている番地が入っている命令形式である。従って、メモリを参照する。

問15 ウ

アドレス指定方式に関する問題である。

アのインデックスアドレス指定は、連続した番地に対して、同一命令を繰り返して実行させるときに、オペランドの基準値にインデックスレジスタの値を増分値として加算することによって対象データの存在する番地を求める方式である。

イの絶対アドレス指定は、実効アドレスを一つだけ求めて、アクセス対象を決定する方式である。直接アドレス指定、間接アドレス指定、レジスタアドレス指定などがある。

ウの相対アドレス指定はプログラムカウンタの値を基準にして、その値からの変位で実行アドレスを指定する方式である。求める答えはウとなる。

エのベースアドレス指定は、ベースレジスタに格納しているプログラムの先頭アドレスの値を基準値として、アドレス部にはプログラムの先頭を0番地とした相対番地を入れる。それらの加算によって実行アドレスを求める方式である。

問16 イ

アドレス指定方式に関する問題である。

アの間接アドレス指定方式は、対象データの格納されているアドレスが主記憶内に格納されていて、命令のアドレス部からそのアドレスを経由してデータの格納されているアドレスにたどり着く方式である。主記憶を2回以上アクセスする。アの内容は直接アドレス指定方式である。

イはレジスタアドレス指定方式は命令が処理する番地を格納しているレジスタの番号を命令のアドレス部に指定する方式であり、記述内容で正しい。求める答えはイとなる。

ウの説明は間接アドレス指定方式である。

指標(インデックス)アドレス指定方式は命令のアドレス部の基準値にインデックスの増分値を加算して求めるアドレス指定方式である。

エの説明は即値アドレス指定方式である。直接アドレス指定方式はアドレス部に処理対象データの格納されているアドレスが入っている命令形式である。

問17 ア

間接アドレス指定方式に関する問題である。

アの間接アドレス指定方式は、命令のアドレス部で指定するメモリの内容が、処理対象データの番地を指す方式である。この場合、命令が実行されるときメモリを2回以上アクセスすることになる。求める答えはアとなる。

イの指標アドレス指定方式は、アドレス部の値にインデックスレジスタの値を加えて、処理対象のデータが格納されているアドレスを指定する方式である。連続した番地に対して、同一命令を繰り返して実行させるときに使用する。従って、メモリを参照する。

ウの相対アドレス指定方式は、プログラムカウンタの値を基準にして、その値からの変位で実行アドレスを指定する方式である。

エの直接アドレス指定方式はアドレス部に処理対象データの格納されている番地が入っている命令形式である。従って、メモリを参照する。

問18 イ

命令実行に関する問題である。

この命令はオペランドに示すアドレスにベースレジスタの値を加算して求めたアドレスに格納されている値を汎用レジスタに格納する処理である。

オペランドのアドレス200にベースレジスタの値100を加えると、

$$200 + 100 = 300$$

となり、このアドレスに格納されている1300の値を汎用レジスタに格納する。求める答えはイとなる。

問19 エ

絶対アドレス指定方式に関する問題である。

絶対アドレス方式は、実効アドレスを一つだけ求めて、それによってアクセス対象を決定する方式で、直接アドレス指定方式や間接アドレス指定方式、レジスタアドレス指定方式がこれに相当する。命令のアドレス部の値はメモリの絶対アドレス、またはレジスタのアドレスになる。

相対アドレス方式は、アドレスを二つ求め、それらを加算することによって実効アドレスを決める方式で、基準になる原点と相対的な変化値を加算する方式である。ベースレジスタ方式は、ベースレジスタの基準値にアドレス部の相対値を加算してアドレスを求める。インデックスアドレス方式は、アドレス部の基準値にインデックスレジスタの変化値を加算して求める。

ア、イ、ウは相対アドレス方式であり、エが絶対アドレス方式で、求める答えはエである。

問20 ア

有効アドレス指定方式に関する問題である。

アの指標付きアドレス指定方式は、オペランドのアドレスを基準値として、インデックスレジスタの増分値を加算する相対アドレス指定方式である。連続した番地に同一命令を繰り返して実行するとき、インデックスレジスタの値を増分値として加算し対象データの存在する番地を求める。求める答えはアとなる。

イの相対アドレス指定方式は、読み出した命令のアドレスに近い記憶装置のアドレスを指定す

るために用いる方式で、オペランドが一つですむ相対アドレス指定方式である。(PCの値)+(命令のアドレス部)によって処理対象データの記憶されている番地を求める。命令のアドレス部には相対番地が入る。

ウの直接アドレス指定方式は、アドレス部に処理対象データが格納されている番地が入っている命令形式である。メインメモリ容量が少ない場合に適しており、高速アクセスが可能である。

エのレジスタ間接アドレス指定方式は、命令が処理するデータの番地を格納しているレジスタの番号を、命令のアドレス部で指定する方式である。短いオペランド長ですみ、高速アクセスが可能である。

問21 エ

単位時間当たりの命令実行回数(MIPS)を求める問題である。

a MIPSの処理装置の平均命令実行時間は次の式から求める。

$$T = \frac{1}{a \times 10^6} = \frac{1}{a} \times 10^{-6} \text{ (秒)}$$

平均命令時間T(秒)が与えられると、上式から、aを求めることができる。この計算上の問題は、単位の計算を正しく実行することである。計算結果は、マイクロ秒、ナノ秒のいずれかになる場合が多いので、要求されている答えの単位に合わせて正しく計算することが重要である。

平均命令実行時間が20(ナノ秒) $= 20 \times 10^{-9}$ (秒)であるから

$$1 / (20 \times 10^{-9}) = (1 / 20) \times 10^9 = 0.05 \times 10^9 = 50 \times 10^6$$

1秒当たりの命令実行回数は 50×10^6 となり、50MIPSとなる。求める答えはエとなる。

問22 ア

平均実行時間を求める問題である。

50MIPSは1秒間に、 50×10^6 回命令を実行することであるから、1命令の平均実行時間は

$$1 / (50 \times 10^6) = 0.02 \times 10^{-6} = 20 \times 10^{-9}$$

となり、20ナノ秒となる。求める答えはアとなる。

問23 ウ

平均命令実行時間を求める問題である。

平均命令実行時間を求める手順

- ① MIPS値から1命令の平均実行時間を求める。
- ② 1命令の平均実行時間×命令数で処理時間を求める。
- ③ 処理時間を使用率で除すと求める答えになる。

50MIPSのコンピュータは、1秒間に 50×10^6 回の命令を実行するため、1命令の実行時間は次の式から求まる。

$$1 / (50 \times 10^6) = 0.02 \times 10^{-6} \text{ (秒)}$$

プロセッサの使用率は0.7であるから、3000万個の命令を実行する時間は次式で求まる。

$$(0.02 \times 10^{-6}) \times 3 \times 10^7 / 0.7 = 0.86 \text{ (秒)}$$

3000万個の命令の実行は、使用率0.7の範囲で行われる。この命令を実行するために、0.3の割合のその他の命令の実行が必要である。従って、全体の予想処理時間は、0.7で除した値となる。求める答えはウとなる。

問24 エ

CPUの命令実行時間に関する問題である。

CPUの動作周波数は1GHz = 10⁹回/秒であるから、

1秒間の命令実行回数は

$$10^9 / (0.8 \times 10^4) = 1.25 \times 10^5 = 125,000$$

求める答えはエとなる。

問25 ウ

MIPS値を求める問題である。

MIPS値の計算

- ① 命令実行に必要な平均クロック数を各命令のクロック数と出現比率から計算する。
- ② 平均クロック数とクロック時間から1命令の平均処理時間を求める。
- ③ 1命令の平均処理時間の逆数からMIPS値が計算できる。

命令実行に必要な平均クロック数は各命令のクロック数に出現比率を掛けて、その和を求めると得ることができる。

$$4 \times 0.4 + 8 \times 0.5 + 10 \times 0.1 = 6.6 \text{ (クロック数)}$$

$$1 \text{ 命令の平均処理時間は } 6.6 \times 3 \times 10^{-9} = 19.8 \times 10^{-9} \text{ (秒)}$$

$$\text{求めるMIPS値は } 1 / (19.8 \times 10^{-9}) = 50.5 \times 10^6$$

約50MIPSとなり、求める答えはウとなる。

問26 エ

命令実行時間を求める問題である。

各命令に必要なCPIからプログラムに必要な全クロック数を求め、クロック時間を掛ければ求めることができる。クロック時間はMIPS値から求める。

プログラムaの実行が3回、プログラムb、c、dの実行がそれぞれ1回であるから、プログラムの実行に必要なCPIは次の計算で求まる。

$$6 \times 3 + 2 + 4 + 8 = 32 \text{ (CPI)}$$

1CPIは10ナノ秒であるから、この命令列のCPUの実行時間は

$$32 \times 10 = 320 \text{ (ナノ秒)}$$

となり、求める答えはエとなる。

問27 イ

命令ミックスに関する問題である。

平均実行速度を求めると

$$\begin{aligned} & 0.4 \times 0.5 + 1.0 \times 0.35 + 4.0 \times 0.1 + 5.0 \times 0.05 \\ & = 0.2 + 0.35 + 0.4 + 0.25 = 1.20 \text{ (マイクロ秒)} \end{aligned}$$

MIPSに換算すると

$$1 / (1.20 \times 10^{-6}) = 0.8 \times 10^6$$

0.8MIPSとなり、求める答えはイとなる。

問28 ウ

MIPSの計算問題である。

クロック周波数が1GHzであるから、クロックサイクル時間は 10^{-9} 秒となる。

1秒間の命令実行回数を求めると

$$1 / ((10 \times 0.6 + 5 \times 0.4) \times 10^{-9}) = 1 / (8 \times 10^{-9}) = 0.125 \times 10^9 \\ = 125 \times 10^6$$

125MIPSとなる。求める答えはウとなる。

問29 イ

命令実行時間に関する問題である。

1命令に必要な平均クロックサイクル数を求めると

$$3 \times 0.18 + 5 \times 0.10 + 20 \times 0.05 + 2 \times 0.67 \\ = 0.54 + 0.5 + 1 + 1.34 = 3.38$$

1クロック周波数の時間は

$$1 / (100 \times 10^6) = 10^{-8} \text{ (秒)}$$

サブプログラムA 100,000命令を実行するための時間は

$$3.38 \times 100000 \times 10^{-8} = 3.38 \times 10^{-3} \text{ (秒)} = 3.38 \text{ (ミリ秒)}$$

求める答えはイとなる。

問30 ウ

命令当たりのクロック周波数(CPI)を求める問題である。

次の計算式になる。

$$1 \times 0.5 + 2 \times 0.3 + 5 \times 0.2 = 0.5 + 0.6 + 1 = 2.10$$

答えは2.10となり、求める答えはウとなる。

問31 イ

命令実行時間を求める問題である。

次の手順で求める。

- ① 命令ミックスから1命令当たりのクロックサイクル数を求める。
- ② クロック周波数から1周波数当たりの時間を求める。
- ③ 全命令の実行時間を求める。

1命令当たりのクロックサイクル数は

$$3 \times 0.2 + 5 \times 0.2 + 2 \times 0.6 = 0.6 + 1 + 1.2 = 2.8$$

1周波数当たりの時間は、クロック周波数1GHzから、 10^{-9} 秒であるから、全命令の実行時間は次のようになる。

$$2.8 \times 10^{-9} \times 10^6 = 2.8 \times 10^{-3} = 2.8 \text{ (ミリ秒)}$$

となる。求める答えはイとなる。

問32 ア

クロック周波数に関する問題である。

アの同じアーキテクチャのプロセッサであれば、クロック周波数の高いものほど単位時間当たりの実行命令数は多くなる。正しい。求める答えはアとなる。

イのクロック周波数の逆数はクロック時間で、1秒間に実行できる命令数ではない。

ウのクロックはクロック・ジェネレータで発生する信号で、各装置の動作のタイミングを合わせるために必要であり、命令が実行されないときでも動作している。

エの命令とクロックの関係は、通常、1命令は数クロックで実行され、命令フェッチ、命令デコード、有効アドレスの計算、データのフェッチ、演算実行、結果の格納の順に行われる。従って、1連のステップが1クロックというのは誤りである。

問33 ア

クロック周波数とパソコンの性能に関する問題である。

CPUのクロック周波数は、命令実行のタイミングを制御するものであり、クロック周波数が高くなるほどパソコンの命令実行速度は向上する。

クロック周波数は、磁気ディスクの回転数や通信速度、内部時計の基準とは関係ない。

求める答えはアとなる。

問34 ア

パソコンのクロック周波数に関する問題である。

CPUのクロック周波数は、命令実行のタイミングを制御するものであり、クロック周波数が高くなるほどパソコンの命令実行速度は向上する。

パソコンなどのシステムバスの動作周波数は、従来は66MHzや100MHzであったが、最近では133MHzや400MHzと高くなっている。

CPU使用時間=オーパヘッド時間+CPU実行時間

オーパヘッド時間は、プログラムのロード時間、タスクスイッチング時間、ファイルI/O時間、プログラム終了の処理時間の合計である。

CPU実行時間=平均命令実行時間×プログラムステップ数

CPUの種類とクロック周波数が等しい場合、CPI×CCTは等しくなる。従って、同じステップ数の命令を実行するとCPU時間はほぼ等しくなる。ただし、オーパヘッド時間はOSによって異なる。

アのCPUのクロック周波数とシステムバスのクロック周波数は同一でなくてもよい。求める答えはアとなる。

イのクロック周波数の逆数は、1秒間の命令数ではなく、クロックサイクル時間である。1クロック周波数に要する時間になる。

ウのクロック周波数が2倍、3倍、4倍、…と高くなっても、システムバスの動作周波数が同じように高くないためシステム全体の性能は2倍、3倍、4倍、…と高くない。

エの使用しているCPUの種類とクロック周波数が等しくても、OSが異なると、システムC

PU時間が異なり、プログラム実行性能が等しくならない。

問35 イ

フラッシュメモリに関する問題である。

フラッシュメモリは、電氣的にデータの書き換えが可能な不揮発性メモリである。データの書き換えは全ビットまたはブロック単位に電氣的に消去して、内容を書き換えることができる。小型化が可能、衝撃に強い、データを保持するための電源が不要などの特徴を持つ。ノート型パソコンや携帯情報端末、デジタルカメラなどの記憶媒体として普及している。

ワンチップマイコンとは、マイクロコンピュータの一種で、ひとつのICチップ上にCPUからRAM、ROM、各種入出力装置などを搭載した処理装置のことである。

ワンチップマイコンの内蔵メモリにフラッシュメモリが採用されるのはソフトウェアの書換が可能であるからである。求める答えはイとなる。

問36 エ

処理装置の論理回路に関する用語に関する問題である。

アのNANDゲートは、論理積演算を行う回路で、二つの条件がともに真の時、結果の出力が偽となる。入力がすべて1のときに出力が0となり、入力のうち一つでも1があると、出力は1となる。

イの加算器は、半加算器と全加算器で構成された2進数データの和を求める回路である。半加算器は下位からのけた上がりを考慮しない回路で、最下位ビットの加算に使用され、全加算器は下位からのけた上がりを考慮した回路で、最下位ビット以外のビットの加算に使用される。

ウのコンデンサは、静電容量により電荷（電気エネルギー）を蓄えたり、放出したりする受動素子である。

エのフリップフロップは、1ビットの情報を記憶できる回路で、順序回路を構成する基本的な素子として用いられ、CPU内のレジスタ、カウンタなどの構成要素となる。SRAMの記憶セルに使用する。求める答えはエとなる。

問37 エ

DRAMの特徴に関する問題である。

DRAMの特徴

- ① 1個のMOS型トランジスタとコンデンサから成り立つ。
- ② コンデンサの電荷の有無でデータの0、1を記憶する。
- ③ 自然放電によって電荷が消去するため、リフレッシュが必要である。
- ④ SRAMと比較して、集積度は高い。
- ⑤ 大容量、低速、消費電力が小さい。
- ⑥ ビット当たり価格が安い。
- ⑦ 主記憶に使用する。

SRAMの特徴

- ① データをフリップフロップにより記憶する。
- ② リフレッシュの必要がない

- ③ バイポーラ型は、高速で、小容量で、消費電力が大、ビット当たり価格が高い。キャッシュメモリに使用する
- ④ MOS型は、低速であるがDRAMより速い。小～中容量で、消費電力はやや大で、ビット当たり価格は中であり、主記憶に使用する。

アはEEPROMの特徴、イはSRAMの特徴、ウはROMの特徴、エはDRAMの特徴である。求める答えはエとなる。

問38 エ

半導体メモリに関する問題である。

アのDRAMは、データの書き込み・読み出しが可能なICメモリで、コンデンサの電荷の有無で情報を記録する。電荷は一定時間経過すると放電して消えてしまうため、定期的リフレッシュの動作が必要になる。一般に消費電力が高く、データ転送速度も遅いが、安価なためメインメモリに広く用いられている。

イのRDRAMは、米ラムバスが開発した高速DRAMである。現在の主流はダイレクトRDRAMであり、パソコンにはRIMMのモジュールで搭載されている。PS-2や任天堂の64などの家庭用ゲーム機で使用されている。

ウのSDRAMは、パソコンの主記憶に使用されているDRAMである。100MHzで動作するPC100SDRAMや133MHzで動作するPC133SDRAMなどがある。パイプラインを利用して1クロックにつき1データを読み出せる。

エのSRAMはデータの書き込み・読み出しが可能なICメモリで、トランジスタで形成され、高速化、低消費電力に適したRAMである。フリップフロップ回路を利用してデータを記録するため、リフレッシュは不要であるが、高価なため高速性を生かしたキャッシュメモリに用いられる。求める答えはエである。

問39 ア

DRAMの特徴に関する問題である。

DRAMは、データの書き込み・読み出しが可能なICメモリで、コンデンサの電荷の有無で情報を記録する。電荷は一定時間経過すると放電して消えてしまうため、定期的リフレッシュの動作が必要になる。一般に消費電力が高く、データ転送速度も遅いが、安価なためメインメモリに広く用いられている。

アはDRAM、イはマスクROM、ウはEPROM、エはSRAMである。求める答えはアとなる。

問40 ウ

DRAMの原理に関する問題である。

DRAMは、データの書き込み・読み出しが可能なICメモリで、コンデンサの電荷の有無で情報を記録する。電荷は一定時間経過すると放電して消えてしまうため、定期的リフレッシュの動作が必要になる。一般に消費電力が高く、データ転送速度も遅いが、安価なためメインメモリに広く用いられている。

aは電気回路、bはコンデンサの電荷の有無、cは破壊的、dはリフレッシュが必要である。

求める答えはウとなる。

問41 ア

DRAMに関する問題である。

アのDRAMは、データの書き込み・読み出しが可能なICメモリで、コンデンサの電荷の有無で情報を記録する。電荷は一定時間経過すると放電して消えてしまうため、定期的リフレッシュの動作が必要になる。一般に消費電力が高く、データ転送速度も遅いが、安価なためメインメモリに広く用いられている。求める答えはアとなる。

イのICメモリは、半導体で作られたメモリであり、データの書き換えが不可能なROMと、書き換えが可能なRAMがある。

ウのMOS素子は、金属酸化膜半導体(MOS)で作られたFETを使った素子である。MOSメモリはバイポーラメモリと比較すると、集積度が高く、発熱量と消費電力は少ないが、動作速度が遅い。主記憶装置に向いている。

エのSRAMはデータの書き込み・読み出しが可能なICメモリで、トランジスタで形成され、高速化、低消費電力に適したRAMである。フリップフロップ回路を利用してデータを記録するため、リフレッシュは不要であるが、高価なため高速性を生かしたキャッシュメモリに用いられる。

問42 ウ

DRAMに関する問題である。

アのキャッシュメモリにはDRAMより高速なSRAMを使用する。

イのデータの記憶は電力の供給が遮断されると失われる。

ウのリフレッシュが必要という記述は正しい。求める答えはウとなる。

エのDRAMの電力消費は大きい。

問43 ウ

DRAMのリフレッシュに関する問題である。

DRAMは、電荷によって情報が記憶されており、この電荷が時間とともに失われるために常に電荷を更新(リフレッシュ)し続ける必要がある。従って、データを保持するため一定時間ごとにアクセスする。求める答えはウとなる。

問44 エ

DRAMに関する問題である。

DRAMは、1ビットは1個のMOS型トランジスタとコンデンサから成り立つ。コンデンサの電荷の有無でデータの0、1を記憶する。ICの中には数十万~数百万のコンデンサがあり静電容量は非常に小さい。コンデンサの自然放電によって電荷が消去するため、リフレッシュが必要である。DRAMはSRAMに比し、集積度は高く、構造が単純なため大容量化に向いている。記憶容量あたりのコストは安い。消費電力は高く、データ転送速度は遅い。主記憶に使用する。

SRAMは、データをフリップフロップにより記憶するため、リフレッシュの必要がない。高速化、低消費電力化に適したRAMである。動作速度はバイポーラ型は高速で、MOS型は低速

だが、DRAMより速い。バイポーラ型は小容量、ビット当たりの消費電力が大、ビット当たり価格が高い。MOS型は小～中容量、消費電力はやや大、ビット当たり価格は中である。バイポーラ型はキャッシュメモリに、MOS型は主記憶に使用する。

EEPROMは、1バイトまたは1ブロックの消去が電氣的に簡単に行える不揮発性メモリである。集積度は高く、価格は高い。ICカードとして利用される。

フラッシュメモリは、ブロックまたはページ単位で消去できるもので、記憶容量が大きく、デジタルカメラやパーソナルコンピュータのBIOSチップなどに広く使われている。構造によりNAND型とNOR型に分けられる。NOR型はランダムアクセスが高速で、1バイト単位の読み出しが可能である。NAND型は連続な読み書きが高速だが、ランダムアクセスはNOR型より遅い。NAND型はNOR型より集積度を高くでき、同じ大きさのシリコンであれば記憶容量をより大きくできる。

アはEEPROM、イはフラッシュメモリ、ウはSRAM、エはDRAMである。求める答えはエとなる。

問45 ア

CMOSに関する問題である。

アのCMOSは、バイポーラトランジスタを利用した集積回路に比べ、消費電力が小さく集積度も上げやすい。動作電圧も相対的に低い。ただ動作速度はバイポーラトランジスタの集積回路より遅い。DRAMだけでなく、量産型マイクロプロセッサの多くはCMOSの集積回路を利用している。求める答えはアとなる。

イのECLは、バイポーラ構造のトランジスタを用いる論理素子で、1対のトランジスタのエミッタを接続し、これに供給される電流を、2つのトランジスタのベース電位の高低によって、スイッチングさせる。スイッチング動作が速いのが特徴である。

ウのI²Lはバイポーラトランジスタを使うTTL、ECLなどのアイソレーション領域が必要なため作りにくい点を改良したもので、アイソレーションが不要である。回路内に抵抗素子を用いない。製造工程が簡単である。消費電力が少ないなどの特徴を持っている。

エのTTLは、バイポーラトランジスタを使用したデジタルICで、出カインピーダンスが低い。高速である。品種、系列が豊富である。消費電力がやや大きいなどの特徴がある。

問46 イ

CMOSの特徴に関する問題である。

CMOSの特徴

- ① 動作速度は遅いが、集積度は高く、消費電力も低い。
- ② 電界効果トランジスタの1種で、流れる電流も少い。
- ③ 電源の雑音の影響は受けにくい、静電気の影響は受ける。

集積度を高めることが可能であり、求める答えはイとなる。

問47 ウ

ICメモリに関する問題である。

アのDRAMは、データの書き込み・読み出しが可能なICメモリで、コンデンサの電荷の有

無で情報を記録する。電荷は一定時間経過すると放電して消えてしまうため、定期的リフレッシュの動作が必要になる。一般に消費電力が高く、データ転送速度も遅いが、安価なためメインメモリに広く用いられている。

イのEDODRAMはDRAMの一種でデータを出力するタイミングを改良し、連続読み出し速度を向上したものである。

ウのSRAMは、データの書き込み・読み出しが可能なICメモリで、トランジスタで形成され、高速化、低消費電力に適したRAMである。フリップフロップ回路を利用してデータを記録するため、リフレッシュは不要であるが、高価なため高速性を生かしたキャッシュメモリに用いられる。求める答えはウである。

エのVRAMはディスプレイに表示する画像情報を蓄える専用メモリである。

問48 エ

ICメモリに関する問題である。

アのマスクROMは、書き込んだ記憶内容を変更することができない。

イのDRAMは、コンデンサを利用して情報を記憶する。

ウのPROMは、ユーザがオフラインで情報を書き込めるROMで、特殊な装置で1回だけプログラムやデータを書き込むことができる。消去は不可である。

エのEEPROMは、1バイトまたは1ブロックの消去が電氣的に簡単に行える。求める答えはエとなる。

問49 エ

ICカードに使用する半導体メモリの種類に関する問題である。

アのPROMは、ユーザがオフラインで情報を書き込めるROMで、特殊な装置で1回だけプログラムやデータを書き込むことができる。消去は不可である。

イのROMは、読み出し専用の補助メモリの一般名称である。

ウのマスクROMは、生産する時点でプログラムやデータを書き込む方式で、消去が不能である。

エのEEPROMは、消去が電氣的に簡単に行えるROMで、集積度は高く、価格は高いが、ICカードとして利用される。求める答えはエとなる。

問50 イ

RAM、ROMの半導体メモリに関する問題である。

アのDRAMは、記憶内容を保持するために内容の再書き込みを常に繰り返すRAMである。記憶素子のコンデンサの電荷の有無で記憶を保持する仕組みのため、コンデンサに蓄えられた電荷が失われるのを防ぐために数ミリ秒ごとに記憶内容を再生するリフレッシュを行って記憶を保持する。

イのEPROMは、一度書き込んだ内容を、何度でも消して変更できる読み出し専用メモリで、石英ガラスをはめ込んだ窓があり、ここに紫外線を一定時間当てると、書き込まれている内容が消えるようになっている。求める答えはイとなる。

ウのSRAMは、電源を切るか新しい内容を書き込まない限り、内容を保存している仕組みの

RAMである。構造は単純であるが回路には常に電流が流れているので、1ビット当たりの消費電力は大きくなる。記憶容量の小さいメモリとして使用される。

エのマスクROMは、製造時に特定の記憶内容のみを保持するような構造につくるもので、あとから内容を変更することができない。

問51 イ

4Mの意味を問う問題である。

Mの単位の意味としては、ビットの場合とバイトの場合がある。半導体メモリの場合の単位はビットである。

ICメモリの4MDRAMの4Mの単位はビットであり、記憶装置1Mバイトは8Mビットであるから、4MDRAMのICメモリが2個必要になる。求める答えはイとなる。

問52 エ

DRAMの説明に関する問題である。

4MDRAMの内容は次のようになる。

4Mは4Mビットを表す。

DRAMであるから、リフレッシュが必要である。

揮発性は電源を落とすと記憶している内容が消去される。RAMは揮発性である。

不揮発性は電源を落としても、記憶している内容が保存される。ROM、磁気ディスクは不揮発性である。

求める答えはエとなる。

問53 エ

半導体記憶素子に関する問題である。

アのDRAMは、コンデンサの電荷の有無で0、1を記憶する。従って、自然放電によって電荷が消去するためリフレッシュが必要である。

イのPROMは、ユーザがオフラインで1回だけ情報を書き込める消去不可能型のROMである。工場出荷時にメモリの内容が書き込まれているのはマスクROMである。

ウのSRAMは、フリップフロップを利用して記憶する方式で、リフレッシュを必要としない。

エのバイポーラ型RAMは、SRAMの1種で、集積度は低く、消費電力は大きい、高速でレジスタやキャッシュメモリに使用されている。正しい記述である。求める答えはエとなる。

問54 ウ

半導体記憶素子に関する問題である。

アのDRAMは、1ビットは1個のMOS型トランジスタとコンデンサから成り立つ。コンデンサの電荷の有無でデータの0、1を記憶する。ICの中には数十万～数百万のコンデンサがあり静電容量は非常に小さい。コンデンサの自然放電によって電荷が消去するため、リフレッシュが必要である。電源を切るとデータは失われる。

イのSRAMは、データをフリップフロップにより記憶するため、リフレッシュの必要がない。1ビットの記憶に6端子必要で、内部構造が複雑である。電源を切るとデータは失われる。

ウのフラッシュメモリは、電氣的に内容を書き直せるタイプのPROMの一種で、消去は全ビットあるいはブロック単位に可能である。ハードディスクより小型化でき、バックアップ電源が不要で、衝撃に強い。求める答えはウとなる。

エのマスクROMは、生産する時点でデータやプログラムを書き込むものであり、消去が不能である。

問55 イ

フラッシュメモリに関する問題である。

フラッシュメモリは、電氣的にデータの書き換えが可能な不揮発性メモリである。データの書き換えは全ビットまたはブロック単位に電氣的に消去して、内容を書き換えることができる。小型化が可能、衝撃に強い、データを保持するための電源が不要などの特徴を持つ。ノート型パソコンや携帯情報端末、デジタルカメラなどの記憶媒体として普及している。求める答えはイとなる。

問56 ウ

フラッシュメモリに関する問題である。

アはEPROM、イはSRAM、ウはEEPROMすなわちフラッシュメモリ、エはDRAMである。求める答えはウとなる。

問57 ウ

フラッシュメモリに関する問題である。

フラッシュメモリは、電氣的にデータの書き換えが可能な不揮発性メモリである。データの書き換えは全ビットまたはブロック単位に電氣的に消去して、内容を書き換えることができる。小型化が可能、衝撃に強い、データを保持するための電源が不要などの特徴を持つ。ノート型パソコンや携帯情報端末、デジタルカメラなどの記憶媒体として普及している。求める答えはイとなる。

アはPROM、イはDRAM、ウはEEPROMすなわちフラッシュメモリ、エはEPROMである。求める答えはウとなる。

問58 エ

フラッシュメモリに関する問題である。

フラッシュメモリは、電氣的にデータの書き換えが可能な不揮発性メモリである。データの書き換えは全ビットまたはブロック単位に電氣的にあらかじめ消去してから、内容を書き換えることができる。小型化が可能、衝撃に強い、データを保持するための電源が不要などの特徴を持つ。ノート型パソコンや携帯情報端末、デジタルカメラなどの記憶媒体として普及している。求める答えはエとなる。

アの書き込み回数は限界がある。

イのROMライターでの書き込みはEPROMである。

ウの定期的なリフレッシュが必要なのはDRAMである。

問59 ウ

記憶媒体のフラッシュメモリに関する問題である。

アのDRAMは、記憶内容を保持するために内容の再書き込みを常に繰り返すRAMである。記憶素子のコンデンサの電荷の有無で記憶を保持する仕組みのため、コンデンサに蓄えられた電荷が失われるのを防ぐために数ミリ秒ごとに記憶内容を再生するリフレッシュを行う。

イのSRAMは、電源を切るか新しい内容を書き込まない限り、内容を保存している仕組みのRAMである。構造は単純であるが回路には常に電流が流れているので、1ビット当たりの消費電力は大きくなる。記憶容量の小さいメモリとして使用される。

ウのフラッシュメモリは、電氣的に内容を書き直せるタイプのPROMの一種で、ハードディスクより小型化でき、バックアップ電源が不要で、衝撃に強いいため、デジタルカメラや音楽プレイヤーの記録媒体に使用されている。求める答えはウとなる。

エのマスクROMは、製造時に特定の記憶内容のみを保持するような構造につくるもので、あとから内容を変更することができない。

問60 エ

フラッシュメモリに関する問題である。

フラッシュメモリは、電氣的にデータの書き換えが可能な不揮発性メモリである。データの書き換えは全ビットまたはブロック単位に電氣的に消去して、内容を書き換えることができる。小型化が可能、衝撃に強い、データを保持するための電源が不要などの特徴を持つ。ノート型パソコンや携帯情報端末、デジタルカメラなどの記憶媒体として普及している。

アはSRAM、イはEPROM、ウはDRAM、エはフラッシュメモリである。求める答えはエとなる。

問61 ウ

BIOSに関する問題である。

BIOSは、コンピュータに接続されたディスクドライブ、キーボード、ビデオカードなどの周辺機器を制御するプログラム群で、これらの機器に対する基本的な入出力手段をOSやアプリケーションソフトに対して提供する。パソコンではマザーボード上に装着されたフラッシュメモリなどの不揮発メモリに記録されている。BIOSはフラッシュメモリに格納されているから、ROMである。求める答えはウとなる。

問62 イ

マスクROMに関する問題である。

マスクROMは、生産する時点でプログラムやデータを書き込む方式で、消去が不能である。

アはEPROM、イはマスクROM、ウはPROM、エはEEPROMである。求める答えはイとなる。

問63 イ

記憶装置の誤りの検出・自動訂正に関する問題である。

デジタル情報の誤りを自動的に訂正できる符号を誤り訂正符号といい、通信回線やメモリ上

のデジタル情報の誤りが発生しても誤り訂正符号を使って情報を符号化してあれば、変化したビットを検出し正しく訂正できる。誤りを訂正するためには、情報に冗長性を持たせる必要があり、情報に検査ビットを加えた形で符号を形成する。ハミング符号は、7ビットのうち4ビットを情報ビットにして、残り3ビットを検査ビットとして、1ビットの誤りに対して誤りの検出と訂正ができるようにしたものである。2ビットの誤りに対しては検出のみが可能である。

アの主記憶装置の記憶容量よりも大きなプログラムを実行するために利用する方式は仮想記憶である。キャッシュメモリはCPUと主メモリの間に設け、データのやり取りをより高速に行うために使われる記憶装置である。

イのハミングコードを付加して、主記憶装置の1ビットの誤り検出と自動訂正を行うことができる内容は正しい記述である。求める答えはイとなる。

ウのディスクキャッシュは主記憶と補助記憶の中間にあって、ディスクの見かけ上のアクセス速度を高速化する仕組みである。

エの半導体ディスク装置は磁気ディスク装置よりも高速である。

問64 エ

メモリの誤り制御方式に関する問題である。

アの水平パリティチェックは、データを適当な長さに区切り、そのブロックの後ろにチェックビットを1ビット加えることで、水平方向の伝送されたデータの誤りを検出する方法である。

イのチェックサムは、データ伝送において各データ項目に対応する数値を合計した値のことで、データを送るとき、そのままデータに付け加えた形で伝送され、一定の範囲ごとにもとのデータの合計値と照合して、正しく伝送されたかどうかを調べる仕組みである。

ウのチェックディジットは、データ伝送時に一定のルールに基づいて作成された数字を付加し、その数字とデータの内容を調べることによってデータの誤りを検査する方法である。

エのハミングコードは、データ伝送において、伝送したデータの誤りを検出し、自動訂正する方式に付加される符号である。各データに対して複数のチェックビットを付加して符号化する。求める答えはエとなる。

問65 エ

ハミング符号とメモリ装置の誤り検出と自動訂正に関する問題である。

アの奇数パリティは、8ビットの符号の中に含まれる「1」の合計数が奇数になるようにパリティビット1ビット付加する誤りチェック法で、受信側で「1」の個数をチェックしてデータが正しいかどうかを検査する方法である。

イの水平パリティは、一定のブロック長に対して奇数パリティと同様な検査を行う方法である。

ウのチェックサムは、データを一定の間隔で区切り、それぞれにデータの和の一部を付加して送信し、受信側でも同じ要領で和を算出してエラーを検査する方法である。

エのハミング符号による誤り訂正符号の付加は1ビットの誤りの検出と自動訂正、2ビットの誤り検出を行う。求める答えはエとなる。

問66 ア

メモリへのアクセスタイムに関する問題である。

アのアクセスタイムは、制御装置が記憶装置に対して読み書きの指令を出してから、読み書きが終了するまでの時間のことである。処理装置がデータの読み出しを要求する時間、処理装置がアドレスパスにより主記憶装置のアドレスを選択する時間、選択されたアドレスのデータをデータバスで転送する時間の総和である。求める答えはアとなる。

イのサイクルタイムは、記憶装置に対する読み取り指令が出されてから、読み出しが完了し、次の読み取り指令が出されるまでの時間である。リフレッシュが必要な記憶装置では、次の要求の受け入れのための準備が必要になる。

ウのターンアラウンドタイムは、バッチ処理方式でジョブを依頼してからその処理結果を受け取るまでの時間のことである。コンピュータ内部での処理時間、各種待ち時間、人間の行う事務処理時間、データや処理結果の搬送時間が含まれる。

エのレスポンスタイムは、コンピュータシステムに対して問い合わせや要求をしてから、その応答が出てくるまでの時間である。コンピュータ内部の処理時間、データ転送時間、そのための待ち時間などが含まれる。

問67 エ

補助記憶装置のハードディスクに関する問題である。

アのCD-ROMは、コンピュータの読み出し専用の記憶媒体である。レーザ光線の反射を利用して凹凸を判定し読み出す。書込み不能のためこの目的には利用できない。

イのVRAMは、ディスプレイに表示する文字や図、絵を、データとして記憶するRAMである。用途が異なる。

ウのキャッシュメモリは、CPUと主メモリの間に設け、データのやり取りをより高速に行うために使われる記憶装置である。容量に限界があるためこの目的には利用できない。

エのハードディスクは、主記憶装置の補助的な記憶装置で、記憶媒体の磁気ディスクと読み書きを行う機械的な部分を一体化した装置である。求める答えはエである。

問68 ウ

記憶階層のアクセス時間に関する問題である。

関連する記憶装置のアクセス時間を示すと次表になる。

レジスタ	数ナノ秒
主記憶	数十ナノ秒～数百ナノ秒
ディスクキャッシュ	数ミリ秒
ハードディスク	数ミリ秒～数十ミリ秒

CPUに近いものほどアクセス速度は高速で、容量規模は小さくなっていく。半導体ディスクは半導体を用いた補助記憶装置である。

レジスタ→主記憶→ディスクキャッシュ→ハードディスクの順となり、求める答えはウとなる。

問69 イ

記憶階層のアクセス時間に関する問題である。

アクセス時間の短い、高速で記憶容量の小さいレジスタを最上位に位置し、下位に向かって、より低速度でアクセス時間の長い記憶容量の大きいメモリを階層化し、分類・整理したものを記憶階層という。その例を表に示す。

関連する記憶装置のアクセス時間の短い順と値を示すと次のようになる。

レジスタ→CPUの2次キャッシュメモリ→主記憶→磁気ディスク
求める答えはイとなる。

レジスタ	数ナノ秒
キャッシュメモリ	数ナノ秒～数十ナノ秒
主記憶	数十ナノ秒～数百ナノ秒
ハードディスク	数ミリ秒～数十ミリ秒

問70 ウ

メモリのアドレスバスの信号線の本数を求める問題である。

1MB = $2^{10} \times 2^{10} = 2^{20}$ Bであり、1アドレスは1Bであるから 2^{20} アドレス必要であり、信号線1本で2種類の信号が発信できるため、20本あれば組合せとして 2^{20} 通りの信号が作れることになる。従って、必要な信号線の本数は20本で、求める答えはウとなる。

問71 エ

MIPS値を求める問題である。

MIPS値の計算

- ① 命令実行に必要な平均クロック数を各命令のクロック数と出現比率から計算する。
- ② 平均クロック数とクロック時間から1命令の平均処理時間を求める。
- ③ 1命令の平均処理時間の逆数からMIPS値が計算できる。

命令実行に必要な平均クロック数は各命令のクロック数に出現比率を掛けて、その和を求めると得ることができる。

$$4 \times 0.3 + 8 \times 0.6 + 10 \times 0.1 = 7.0 \text{ (クロック数)}$$

$$\text{クロック時間は } 1 / (700 \times 10^6) = 1.4 \times 10^{-9}$$

$$1 \text{ 命令の平均処理時間は } 7 \times 1.4 \times 10^{-9} = 9.8 \times 10^{-9} \text{ (秒)}$$

$$\text{求めるMIPS値は } 1 / (9.8 \times 10^{-9}) = 102.0 \times 10^6 \text{ (回/秒)}$$

約100MIPSとなり、求める答えはエとなる。

問72 エ

キャッシュメモリの書込方式の目的に関する問題である。

ライトスルー方式はキャッシュメモリのブロックに書き込むときに、同時に主記憶装置のブロックにも書き込む方式であり、常に主記憶とキャッシュの内容が一致するため一貫性対策は必要ないが、主記憶への書き込みが頻繁に行われるので遅い。

ライトバック方式はキャッシュメモリからブロックを追い出すときに、主記憶装置への書き込みを行う方式である。ライトバック方式で、主記憶とキャッシュの内容が一致しないためブロックを追い出す場合に、一貫性対策が必要になるが、主記憶への書き込み回数が少ないため速い。

複数のクライアントが共有メモリリソースのキャッシュを保持するとき、キャッシュ間のデータの不一致という問題が生じる。キャッシュコヒーレンスはそのような状況に対処する場合やマルチプロセッサシステムでキャッシュとメモリの間の一貫性を保つために必要なキャッシュ管理である。

アのキャッシュコヒーレンスはバックライト方式では保持されていない。

イのキャッシュミスは、キャッシュに所望のデータが存在しない場合で、置換アルゴリズムに従ってキャッシュバックを行うが、これはキャッシュバック方式を採用する直接の目的ではない。

ウのマルチプロセッサシステムでは、一貫性を維持するためにキャッシュ管理は複雑になる。

エのプロセッサから主記憶への書込頻度を減らす目的は適切である。求める答えはエとなる。

1.2 「CPUの高速化」 解答解説

問1 ア

RISCアーキテクチャに関する問題である。

RISCアーキテクチャの性能向上策の考え

- ① 機械語の命令の長さを固定化し、どの命令も同じサイクル時間で実行する。CPIをできるだけ1に近づける。
- ② 命令セットは使用頻度の高い基本命令だけで構成し、命令機能を単純化する。
- ③ 命令パイプライン処理を用いる。
- ④ パイプライン処理を実現するためにコンパイラによる静的コードスケジューリングを行う。

プロセッサの性能は次式で評価される。

$$\text{プログラム実行時間} = IC \times CPI \times CCT$$

IC : 実行命令数

CPI : 1命令当たりの平均所要クロックサイクル数

CCT : クロックサイクル時間

アのRISCは、命令数を減らすことによって制御系を単純にしハードウェアの設計を容易にしたり、ハードウェア化やパイプライン処理を使用し処理速度の高速化を図ったりするコンピュータのアーキテクチャである。求める答えはアとなる。

イのCISCは、RISCに比べて複雑な命令を数多く備えたコンピュータアーキテクチャである。

ウのRAMは、記憶する内容を自由に書き込んだり読み出したりする事ができるメモリである。

エのSCSIは、小型コンピュータの周辺装置のインタフェースの一種である。

問2 エ

RISCアーキテクチャの特徴に関する問題である。

RISCは命令セットを単純化して、1命令1サイクルの実行を目指すものである。

RISCをCISCと比較した場合の顕著な相違点

- ① 命令デコードを容易にするため固定単一長にする。
- ② 命令実行サイクル数が少ない。
- ③ 命令形式はレジスタ・レジスタ形式を用いる。
- ④ 命令数およびアドレッシングモード(アドレス指定方式)数が少ない。
- ⑤ 命令機能が簡単なため布線論理制御による実現が可能である。

ア、イ、ウの内容はCISCアーキテクチャの特徴であり、エがRISCアーキテクチャの特徴である。求める答えはエとなる。

問3 イ

メモリシステムの信頼性に関する問題である。

アのCRCは、データ伝送で誤りを調べる方式の一つで、データをブロック単位に分け、送信

側でブロックごとにあらかじめ決められた多項式で割り、その余りを検査ビットとしてデータに付加して送信し、受信側で逆の操作で検査する方式である。検査能力が高い方式でバーストエラーにも対応できる方式である。自動訂正はできない。

イのECCは、データ通信やデータ処理におけるデータの誤り検査に使用される方式で検査符号を付加することによって誤りの検出と訂正を行う方式である。自動訂正が可能である。求める答えはイとなる。

ウのチェックサムは、データ伝送において各データ項目に対応する数値を合計した値のことで、データを送るとき、そのままデータに付け加えた形で伝送され、受信側で一定の範囲ごとにもとのデータの合計値と照合して、正しく伝送されたかどうかを調べる仕組みである。自動訂正はできない。

エのパリティは、あるビット数で構成されるデータにチェックビットを余分に1ビット加えることで、伝送されたデータの誤りを検出する方法である。自動訂正はできない。

問4 イ

RISCの特徴に関する問題である。

RISCの特徴

- ① 命令デコードを容易にするため固定単一長にする。
- ② 命令実行サイクル数が少ない。
- ③ 命令形式はレジスタ・レジスタ形式を用いる。
- ④ レジスタ数が多い
- ⑤ 命令数およびアドレッシングモード(アドレス指定方式)数が少ない。
- ⑥ 命令機能が簡単のため布線論理制御による実現が可能である。
- ⑦ パイプライン制御と併用して高速化を図る。

RISCの命令長は固定、ハードウェア制御の方式はワイヤードロジック方式、演算対象はレジスタである。求める答えはイとなる。

問5 イ

RISCアーキテクチャの特徴に関する問題である。

アの命令機能は基本的な、単純なもので構成されている。

イのパイプライン処理に適しているはRISCの内容である。求める答えはイとなる。

ウのプログラム容量は、CISCの場合はマイクロプログラムが高機能化しており、種類が多いために容量が減少するが、RISCの場合は基本的な命令を使用してステップ数が多くなり、プログラム容量は大きくなる。

エの命令の種類は少ない。

問6 イ

マイクロプログラム制御方式に関する問題である。

マイクロプログラム制御は、コンピュータの命令を、ハードウェア内部に組み込まれたプログラムで解釈・実行する方式である。コンピュータの命令が複雑化、高機能化するにつれて、変更容易なファームウェアで実現する考え方が生まれた。結線による方式に比べて、動作速度は遅い

が、ハードウェアが単純化し命令の追加や修正が容易という利点がある。マイクロプログラムは制御記憶という記憶装置に格納され、機械語プログラムによって高速で動作する。

アのマイクロプログラム制御はCISC方式のプロセッサに有利である。

イの制御メモリ内に格納された基本操作命令の組合せで実現する記述は正しい。求める答えはイとなる。

ウの配線論理で実現するのはワイヤードロジック方式で、マイクロプログラムはプログラムで実現するファームウェアである。

エのエミュレーションは、他のOSのAPIや他のCPUの実行コードをソフトウェア的に解読し、自身の環境で実行できる形式に変換するハードウェアまたはソフトウェアである。マイクロプログラム制御方式はエミュレーションを行うには適している。

問7 ア

CISCの特徴に関する問題である。

CISCの特徴

- ① 命令長は、固定複数長あるいは可変長である。
- ② 命令形式は、レジスターメモリ形式およびメモリーメモリ形式である。
- ③ 命令セットおよび実現方式は、命令数およびアドレス修飾数が比較的多く、命令機能が高度なためマイクロプログラム制御となる。
- ④ 複雑な命令の作成が容易な反面、命令が複雑になり、命令の実行時間が遅くなる。

イ、ウ、エの内容はRISCの特徴であり、アがCISCの特徴である。求める答えはアとなる。

問8 イ

RISCアーキテクチャの特徴に関する問題である。

ア、ウ、エはCISCアーキテクチャの特徴である。

イのハードウェア回路、パイプライン実行のための技術、コンパイラー上の処理を含めて、1命令当たり1クロックで実行できるようにするの記述内容は正しい。求める答えはイとなる。

問9 エ

ワイヤードロジック方式とマイクロプログラム方式の比較の問題である。

マイクロプログラム制御は、コンピュータの命令を、ハードウェア内部に組み込まれたプログラムで解読・実行する方式である。コンピュータの命令が複雑化、高機能化するにつれて、変更容易なファームウェアで実現する考え方が生まれた。結線による方式に比べて、動作速度は遅いが、ハードウェアが単純化し、命令の追加や修正が容易、拡張性がよいという利点がある。マイクロプログラムは制御記憶という記憶装置に格納され、機械語プログラムによって高速で動作する。

ワイヤードロジック制御は、電子回路ですべての命令を解読してコンピュータのハードウェアを制御する方式である。マイクロプログラム方式に比べて、命令数が少なく、処理速度が速いが、拡張性や保守性の容易性は劣る。

aは高速、bは低速、cは困難、dは容易となり、求める答えはエとなる。

問10 エ

RISCの特徴に関する問題である。

RISCとCISCの比較

項目	RISC	CISC
命令の種類	少ない	多い
命令長	固定長	可変長
アドレス修飾の種類	少ない	多い
主記憶アクセス	ロード、ストア命令のみ	多くの命令
汎用レジスタ数	多い	少ない
制御部の構成	結線論理制御	マイクロプログラム制御

RISCの方が多くなる傾向にあるのはレジスタ数である。求める答えはエとなる。

問11 イ

RISCに関する問題である。

RISCは、CPUに与える命令を単純化し、処理速度を上げる設計になっている。機械語である命令語の長さを固定化し、どの命令も同じサイクル時間で実行する。命令セットは使用頻度の高い基本命令だけで構成し、一つの命令の処理速度は速い。RISCを使用すると、ハードウェアの開発が容易になり、短期間で開発が可能になる。その反面、プログラム言語から機械語へ翻訳するコンパイラの負担が大きくなり、翻訳結果のステップ数も長くなる短所がある。コンパイラの最適化技術がプログラムの実行速度に与える影響はCISCより大きい。

アの1命令を実行するマシサイクル数はCISCより小さくなる。

イのコンパイラの最適化技術がプログラムの実行速度に与える影響は大きいは正しい記述である。求める答えはイとなる。

ウのプログラムサイズは大きくなる傾向にある。

エのメモリ間のデータ転送に関する命令は、命令形式がレジスタ・レジスタ方式が主体であり、少ない。

問12 ウ

パイプライン処理に関する問題である。

アのインタリーブは、主記憶装置へのアクセスを高速化するために、主記憶装置の内部を複数のバンクに分割し、各バンクを並列動作させる方式である。

イのデュアルシステムは、二組のコンピュータで同じ処理を行い、処理結果を相互にチェックしながら処理を行う方式である。

ウのパイプラインは、一つの処理を複数のステップに分割し、各ステップを独立させて同時に並行して処理を進める方式で、CPUの処理速度の高速化を実現する。求める答えはウとなる。

エのマルチプロセッサは、1台のコンピュータに複数のCPUを搭載している形式である。

問13 ウ

パイプライン処理に関する問題である。

パイプライン処理は1つの処理を複数のステップに分割し、各ステップを独立させて同時に並行して処理を進める方式で、CPUの処理速度の高速化を実現する。

パイプライン処理の特徴

- ① クロックサイクル毎に、新しい命令のフェッチ(I F)、デコード(I D)、実行(E X)、メモリアクセス(M E M)、書き込み(W B)を同時に行う。
- ② 1個の命令ではクロックサイクル毎にI F→I D→E X→M E M→W Bとステージが進んでいく。
- ③ ステージ間にラッチを置き、あるラッチに書けるのは当該ラッチの前段のステージだけであり、読み出せるのは後段のステージだけになる。
- ④ ステージ間で資源の競合が発生しないように当該資源の多重化を図る。

ア、エはマルチプロセッサに関する内容である。

イはR I S Cアーキテクチャに関する内容である。

ウはパイプライン処理に関する内容である。求める答えはウとなる。

問14 ウ

R I S Cとコンパイラに関する問題である。

R I S Cを使用すると、ハードウェアの開発が容易になり、短時間で開発が可能になる。その反面、プログラム言語から機械語へ翻訳するコンパイラの負担が大きくなり、翻訳結果のステップ数も長くなる短所がある。コンパイラの最適化技術がプログラムの実行速度に与える影響は大きく、パイプラインを効率的に機能させるために、命令の並び替えなどの最適化を活用する。

求める答えはウとなる。

問15 ウ

パイプライン処理の乱れに関する問題である。

ア、イのサブルーチンやC A S E文が多くなると、処理に乱れが発生する。エのレジスタやメモリへのアクセス数が少なくなると本来の機能が発揮できなくなる。ウの分岐命令を少なくすることがパイプライン処理を有効に機能させることになる。求める答えはウとなる。

問16 エ

パイプラインハザードに関する問題である。

パイプラインハザード (パイプライン処理の乱れ)

- ① メモリ、デコーダ、キャッシュ等の資源の競合。
- ② メモリまたはレジスタに格納されたデータ相互間の依存関係。
- ③ 分岐命令等。

ジャンプ命令がパイプラインの効率を低下させる。求める答えはエとなる。

問17 ウ

パイプライン処理の実行時間を求める問題である。

6命令がパイプライン処理で並行処理されるため、6命令実行時の1命令実行時と比較した場合の時間の増分は、2番目の命令以降のステージ6に関する5ステップ分のみとなる。並列処理される部分を考えて、6命令を実行する全ステップ数は、

$$6 + 5 = 11$$

ステップになる。各ステップの実行時間は10ナノ秒であるから、

$$11 \times 10 = 110$$

110ナノ秒となり、求める答えはウとなる。

問18 ウ

パイプライン処理の実行効率を求める問題である。

逐次制御で20命令実行した場合の全サイクル数とパイプライン制御で実行した場合のサイクル数の比を求めればよいことになる。

パイプラインのサイクル数TS1は

$$TS1 = 5 + (IS - 1)$$

IS : 命令数

逐次制御のサイクル数TS0は

$$TS0 = 5 \times IS$$

IS : 命令数

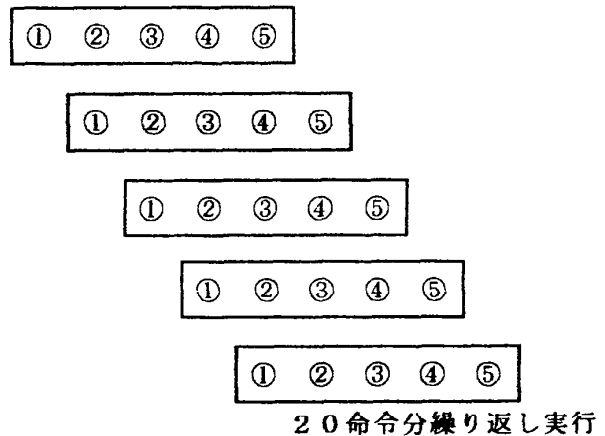
IS = 20として、TS0、TS1を求めると、次のようになる。

$$TS0 = 5 \times 20 = 100$$

$$TS1 = 5 + 20 - 1 = 24$$

比率TS1 / TS0を求めると、 $24 / 100 = 0.24$

従って、24%となり、求める答えはウとなる。



問19 エ

スーパー scaler方式に関する問題である。

スーパー scaler方式はCPUの処理速度を向上させる技術の一つで、1クロックで複数の命令を同時に実行できるように、CPUの内部に複数の処理ユニットを設けている方式である。命令を読み込んだ時点でデコーダによって並列性のある命令と判断すると、複数命令の同時実行が行われる。

アは逐次制御方式、イは先行制御方式、ウはパイプライン制御方式、エはスーパー scaler制御方式である。求める答えはエとなる。

問20 ウ

スーパー scaler方式に関する問題である。

スーパー scalerは同じステージで複数個の命令を実行させる方式であり、1マシンサイクル中に2個の独立した命令が実行される。

アはベクトル処理方式、イはスーパーパイプライン方式、ウはスーパー scaler方式、エはVLI

W方式である。求める答えはウとなる。

問21 エ

パイプライン制御に関する問題である。

パイプライン制御は、CPUの高速化技術の一つで、CPUが命令を実行するときに、命令の読み出し、解釈から、命令実行、結果の書き込みまでを複数のステージに分け、各ステージを少しずつずらしながら並行に動作させることで、命令の処理時間を短縮化させる方法である。

アは逐次制御方式、イはメモリインタリーブ、ウは割込制御、エはパイプライン制御である。求める答えはエとなる。

問22 ウ

パイプライン制御の特徴の説明に関する問題である。

パイプライン制御は、CPUの高速化技術の一つで、CPUが命令を実行するときに、命令の読み出し、解釈から、命令実行、結果の書き込みまでを複数のステージに分け、各ステージを少しずつずらしながら並行に動作させることで、命令の処理時間を短縮化させる方法である。

ア、イは、パイプライン制御を効率的に実行するための事前処理の内容である。アはコンパイル時に静的に命令を演算器に割り振る方式であり、イは動的に演算器に割り振る方式である。

ウは、パイプライン制御の特徴を示したものである。求める答えはウとなる。

エは、マイクロプログラム制御の説明である。

問23 イ

多重プロセッサシステムの構成に関する問題である。

アのシンプレックスシステムは汎用コンピュータを利用する場合の最小の構成であり、1台のCPUを用いて入出力装置や通信制御装置などの周辺装置を接続したものである。

イの多重プロセッサシステムはマルチプロセッシングシステムともいい、密結合マルチプロセッサシステムは複数のプロセッサが1個の主記憶装置を共用し、1個のOSが複数のCPUを制御し、並行処理を行うことによって全体として大きなコンピュータシステムとして用いるものである。求める答えはイとなる。

ウのデュアルシステムは、中央処理装置やその他の機器・ファイルを二重にもち、それぞれのCPUで同じ処理を行い、一定間隔で処理結果を照合するシステムである。

エのデュプレックスシステムは、中央処理装置と主記憶装置を2系統もつことによって、システム全体の信頼性をあげるシステムであり、通常、1系統をオンライン用として使用し、もう1系統を待機用としてバッチ処理などを行う。

問24 ウ

マルチプロセッサシステムに関する問題である。

アのアレイプロセッサシステムは多数組のデータに対する同一演算を一つの命令で処理する演算システムである。

イのスレーブシステムは接続機器をマスタまたはスレーブに区別して設定する方式である。

ウの疎結合型マルチプロセッサシステムはプロセッサが専用メモリとOSをもち、プロセッサ

間のデータ授受は高速入出力ポートを利用する方式である。求める答えはウとなる。

エの密結合マルチプロセッサシステムは複数のプロセッサが1個の主記憶を共用し、1個のOSがシステム全体を制御する方式である。

問25 エ

マルチプロセッサ方式に関する問題である。

マルチプロセッサ方式は複数のCPUを持ちコンピュータで処理する方式で、次のような方法がある。

- ① 複数のCPUに、それぞれ専門の仕事を割り当て、同時並行的に処理する。
- ② 1つのメインとなるCPUの管理下で、他のCPUを効率的に使用する。

この方式を用いることによって、処理の高速化、負荷の分散、故障発生時のバックアップなどを計ることができる。

アのRISC方式は、命令の種類を大幅に削減したコンピュータアーキテクチャで、各命令をできるだけ単純なものに限定し、ハードウェアの結線論理だけを用いて命令を実行する。各命令の実行時間が等しくなるようにすることによって、パイプライン処理を利用して処理の高速化を実現する。

イのパイプライン方式は命令実行過程を複数の処理ステップに分け、各ステップを平行処理し、処理を高速化する方式である。

ウのマイクロプログラミング方式は、機械語命令をマイクロプログラムに展開し、マイクロプログラムが論理回路を制御する方式を採用する。この方式を利用することによって、複雑な機能の実現が容易になる。

エのマルチプロセッサ方式は、複数の処理装置が一つのOSのもとで動作するシステムで、主記憶装置や周辺装置はこの複数の処理装置によって共有される。処理の負荷分散をはかり、システムのスループットを向上させる。求める答えはエとなる。

問26 イ

密結合型マルチプロセッサシステムに関する問題である。

密結合型マルチプロセッサシステムは、複数の中央処理装置が主記憶装置や磁気ディスク等の資源を共有するコンピュータシステムであり、各中央処理装置で処理を分担する。1つのOSが複数のCPUを制御し並行処理し、計算速度の大幅な高速化を実現し信頼性も向上する。障害発生時は、そのCPUを切り離して処理を続行する。

疎結合型マルチプロセッサシステムは、各プロセッサが専用メモリとOSをもち、各プロセッサ間のデータの受け渡しは高速入出力ポートを利用する。各プロセッサの役割が決まっている処理方式では、メモリスペース管理用プロセッサ、利用者プログラム実行用プロセッサ、ジョブスケジュール処理用プロセッサ等のように役割を分担する。

アは疎結合型マルチプロセッサシステム、イは密結合型マルチプロセッサシステム、ウはデュプレックスシステム、エはデュアルシステムである。求める答えはイとなる。

問27 エ

実効メモリアクセス時間の計算に関する問題である。

キャッシュメモリを有する場合のメモリのアクセス時間(TA)の計算式

$$TA = TC \times FR + TM \times (1 - FR)$$

TC : キャッシュメモリのアクセスタイム

TM : 主記憶のアクセスタイム

FR : ヒット率

ア～エの実効メモリアクセス時間(ナノ秒)を計算すると、次のようになる。

ア $10 \times 0.6 + 70 \times 0.4 = 34$

イ $10 \times 0.7 + 70 \times 0.3 = 28$

ウ $20 \times 0.7 + 50 \times 0.3 = 29$

エ $20 \times 0.8 + 50 \times 0.2 = 26$

アクセス時間が最も短いのはエの場合である。求める答えはエとなる。

問28 イ

キャッシュメモリを有する場合の平均メモリアクセス時間を求める問題である。

主記憶装置へのアクセス時間60ナノ秒、キャッシュメモリへのアクセス時間10ナノ秒、ヒット率80%であるから、平均アクセス時間は次式から求められる。

$$60 \times 0.2 + 10 \times 0.8 = 20 \text{ (ナノ秒)}$$

求める答えはイとなる。

問29 ウ

キャッシュメモリの目的に関する問題である。

キャッシュメモリは、主記憶へのアクセス速度とプロセッサの処理速度の差を埋めるものである。求める答えはウとなる。

ア、イは、仮想記憶方式のアドレス変換機構の役割を示している。

エは、仮想記憶方式で使用頻度の高いプログラムを実アドレスメモリ空間に常駐させる考え方である。

問30 ア

キャッシュメモリに関する問題である。

キャッシュメモリは、プロセッサに近接して装備され、主記憶装置内の命令やデータを一時的に格納する装置である。高速読み出し小容量の記憶装置で、主記憶装置からの実行上の読み出し速度を向上させる目的に用いられる。

主記憶装置に書き込みを行うタイミングにライトスルー方式とライトバック方式がある。ライトスルー方式は、キャッシュメモリのブロックに書き込むときに、同時に主記憶装置のブロックにも書き込む方式である。ライトバック方式は、キャッシュメモリからブロックを追い出すときに、主記憶装置への書き込みを行う方式である。

アの主記憶装置への書き込みタイミングは、ライトスルー方式とライトバック方式がある。求める答えはアとなる。

イの割込は、命令の実行順序を強制的に、動的に変える手段であり、不測の事態や異常・例外などの動作が発生した場合の処理法である。キャッシュメモリは主記憶へのアクセス手段の一つ

で、定常の処理であり、割込処理を伴うものではない。

ウの実記憶と仮想記憶のメモリ容量の差を埋めるは誤りであり、主記憶へのアクセス時間の短縮を図るための仕組みである。

エの主記憶へのアクセス速度の向上のために、現在でも、より大容量のキャッシュメモリが求められている。

問31 イ

キャッシュメモリに関する問題である。

C、Dはキャッシュメモリがある場合で、アクセス時間は短縮する。

Cのアクセス時間を求めると、次のようになる。

$$20 \times 0.6 + 70 \times 0.4 = 12 + 28 = 40 \text{ (ナノ秒)}$$

Dのアクセス時間を求めると、次のようになる。

$$10 \times 0.9 + 80 \times 0.1 = 9 + 8 = 17$$

実効メモリアクセス時間の早い順は、A、D、B、Cとなり、求める答えはイとなる。

問32 エ

キャッシュメモリシステムにおけるヒット率を求める問題である。

ヒット率をFとすると、次式が成り立つ。

$$15 = 60 \times (1 - F) + 10 \times F \quad 50F = 45 \quad F = 0.9$$

ヒット率は0.9であるから、求める答えはエとなる。

問33 ウ

キャッシュメモリを使用した場合の実効メモリアクセス時間を求める問題である。

$T_M = 50$ 、 $T_C = 10$ 、 $T = 25$ を上式に代入し、ヒット率Fを求める。

$$25 = 50 \times (1 - F) + 10 \times F$$

$$40 \times F = 50 - 25 \quad F = 25 / 40 = 0.625$$

62.5%を満足させる最小のヒット率は70%であり、求める答えはウとなる。

問34 エ

キャッシュメモリアクセス時間に関する問題である。

キャッシュメモリへのヒット率をHとすると

$$15 \times H + 50 \times (1 - H) = 10 \times H + 70 \times (1 - H)$$

$$-35H + 50 = -60H + 70$$

$$25H = 20 \quad H = 0.8$$

求める答えはエとなる。

問35 イ

キャッシュのメモリアクセスのクロックサイクルを求める問題である。

クロック周波数からクロック時間を求め、キャッシュシステムの平均アクセス時間を求めた結果をクロック時間で除すと平均クロックサイクルを求めることができる。

クロック時間は、 $1 / (200 \times 10^6) = 0.5 \times 10^{-8} = 5$ (ナノ秒)
平均アクセス時間は $T = 70 \times 0.1 + 10 \times 0.9 = 16$ (ナノ秒)
平均クロックサイクルは $16 / 5 = 3.2 \div 4$
求める答えはイとなる。

問36 イ

キャッシュメモリに関する問題である。

ヒット率をXとすると次の関係が成り立つ。

$$40X + 400(1 - X) = 20X + 580(1 - X)$$

$$400 - 360X = 580 - 560X$$

$$200X = 180 \quad X = 0.9$$

求める答えはイとなる。

問37 ウ

キャッシュメモリを有するシステムで現状の平均アクセス時間が既知の場合のキャッシュメモリのアクセス時間の改善に関する問題である。

現状の平均アクセス時間T0を求めると

$$T0 = 100 \times 0.2 + 20 \times 0.8 = 20 + 16 = 36 \text{ (ナノ秒)}$$

20%短縮するため改善後のアクセス時間は、 $36 \times 0.8 = 28.8$ となる。この平均アクセス時間を得るためのキャッシュメモリのアクセス時間をTCとすると

$$28.8 = 100 \times 0.2 + TC \times 0.8$$

$$TC = (28.8 - 20) / 0.8 = 8.8 / 0.8 = 11 \text{ (ナノ秒)}$$

求める答えはウとなる。

問38 エ

キャッシュメモリの置換アルゴリズムに関する問題である。

FIFOは、先入れ先出しで、ロード時刻が最も古い内容が置換されることになる。表の場合には、キャッシュC0、内容M0が対象になる。

LFUは、最近の一定時間内の参照回数が最も少ないものが置換の対象になるアルゴリズムである。表の場合には、キャッシュC1、内容M1が対象になる。

LIFOは、最後に入ったものを先に出すアルゴリズムで、表の場合には、キャッシュC3、内容M3が対象になる。

LRUは、最後に参照されてから最も長い時間参照されていない内容が置換の対象になる。表の場合には、キャッシュC2、内容M2が対象になる。

キャッシュのC2の内容M2はロード時刻では3番目であり、参照回数では2番目であり、最終参照時刻では最も古い。従って、この場合の置換アルゴリズムはLRUである。求める答えはエとなる。

問39 イ

置換アルゴリズムLRUに関する問題である。

L R U方式はキャッシュメモリ上にあるブロックの内、最後に参照されてからその時点までの経過時間が最も長いブロックを書き戻すブロックとして決定する方式である。

アはN R U方式、イはL R U方式、ウはL F U方式、F I F O方式である。求める答えはイとなる。

問40 ウ

命令キャッシュに関する問題である。

キャッシュには、命令格納専用の命令キャッシュとデータ格納専用のデータキャッシュがある。命令キャッシュは主記憶装置への書き戻しが不要であり、データに比べて命令の参照局所性は安定して高くなる。

作業領域は、プログラムを実行する際に、一時的なデータを保存する領域である。

アのアクセスする作業領域をまとめても命令キャッシュを使用する効果に直接関係しない。

イの作業領域全体をまとめても命令キャッシュの仕様効果には関係しない。

ウの頻繁に実行される処理部分をまとめると、局所参照性の効果から命令キャッシュの使用効果に影響する。求める答えはウとなる。

エのプログラム全体を平均的に実行しても、局所参照性が効果的になるとは言えないため、命令キャッシュの使用効果が上がるとは必ずしも言えない。

問41 ウ

キャッシュメモリに関する問題である。

アは、キャッシュメモリはアクセス要求時にそのデータ存在の有無を瞬時に判断する必要がある。そのためデータの格納位置を限定することで検索速度を高め実行効率を高めている。仮想記憶の考え方とは異なる。

イの汎用レジスタは特定の機能に限定せず、多目的に使用されるレジスタであり、データの一時的に記憶領域したり、インデックスレジスターとして使用したりする。

ウの多段キャッシュ構成で実効アクセス時間を短縮できる。求める答えはウとなる。

エのミスヒットが発生した場合のデータの入れ替えは、一括消去ではなく、置換アルゴリズムを利用した入れ替えになる。

問42 ウ

キャッシュメモリに関する問題である。

キャッシュメモリへのアクセス手順を示すと次のようになる。

- ① キャッシュに存在すればそれにアクセスする。
- ② キャッシュに存在しなければ、キャッシュの一部と主記憶装置の一部を置換アルゴリズムに従って置き換える。
- ③ アクセス対象の主記憶装置内の命令やデータをキャッシュ内に読み出し、それにアクセスする。

アは、キャッシュメモリに所要のデータが存在しない場合であるから、所要のデータのブロック転送はできない。

イのプロセッサにデータを読み込む場合は、磁気ディスク上の所要データのブロック転送では

なく、主記憶装置上の所要データが対象になる。

ウの主記憶装置から所要のデータをブロック転送し、キャッシュメモリに読み込む内容は適切である。求める答えはウとなる。

エのディスクキャッシュから主記憶への所要データの転送は主記憶にデータを読み込む場合の処理であり、プロセッサにデータを読み込む場合の処理ではない。

問43 ア

キャッシュメモリのマッピング方式に関する問題である。

- ① ダイレクトマッピング方式は、メインメモリをブロックに分割した(セットアドレスが決まる)場合、キャッシュメモリの対応する位置が固定される方式である。メモリのセットアドレスが決まると格納できるキャッシュのアドレスが決まる方式である。
- ② セットアソシアティブ方式は、メインメモリをブロックに分割した(セットアドレスが決まる)場合、セットアドレスに対してキャッシュメモリの対応する位置が複数存在する方式である。メインメモリとキャッシュメモリのセット間ではダイレクトマッピング方式を用いる。セット内の複数のブロックに対してはキャッシュメモリのどのアドレスでも対応するフルアソシアティブ方式を用いるようにした方式である。
- ③ フルアソシアティブ方式は、メインメモリとキャッシュメモリのブロック間で任意に対応付けが可能で、任意にアクセスできるようにしたものである。

主記憶上のブロックがキャッシュメモリ上の複数個の特定ブロックと対応づく方式であるためセットアソシアティブ方式である。求める答えはアとなる。

エのライトスルー方式は、CPUがデータ書き込み命令を実行する場合、キャッシュメモリとメインメモリの両方に書き込む方式である。

問44 ウ

メモリインタリーブに関する問題である。

メモリインタリーブとは、主記憶装置をいくつかのバンクに分割し、各バンク毎にアクセスパスを設定する。あるバンクの情報に対するアクセスがある時は、それに続く全てのバンクの情報を同時にそれぞれのアクセスパスを経由して読み出す。これによって、主記憶への見かけ上のアクセス時間の短縮を実現する。

アはキャッシュメモリの書き込み操作のライトスルー方式である。

イはキャッシュメモリの考え方である。

ウはメモリインタリーブである。求める答えはウとなる。

エはキャッシュメモリの種類に関する内容である。

問45 エ

メモリインタリーブに関する問題である。

アのキャッシュメモリは、CPUと主記憶装置の間に置いて、主記憶のアクセス時間を短縮するためのメモリである。キャッシュメモリと主記憶の記憶階層を利用して、高速性と大容量化を経済的に実現する手法である。

イの蓄積交換は、ネットワーク上でデータを伝送する際、固定的な伝送路を設置しないで、適

当な大きさの packets 単位ごとに宛先をつけ、交換網内を転送させる方式である。

ウのパイプライン処理は、1つの処理を複数のステップに分割し、それぞれのステップを独立させて、同時に並行して処理を進める方式で、CPUの処理速度の高速化を実現する技術である。

エのメモリアンタリーブは、主記憶装置を独立した動作可能な複数のバンクに分け、連続したアドレスがアクセスされる場合に並列して動作させ、見かけ上のアクセス時間を改善する手段である。求める答えはエである。

問46 エ

メモリアンタリーブに関する問題である。

メモリアンタリーブは、主記憶を複数の独立して動作するグループに分けて、各グループに並列にアクセスする方式である。求める答えはエとなる。

問47 エ

メモリアンタリーブに関する問題である。

アの仮想記憶は、主記憶の実容量を超える記憶領域を確保するための手法で、補助記憶を利用して、情報が存在するアドレスと処理装置が呼び出すアドレスを分離して使えるようにする仕組みである。

イのキャッシュメモリは、CPUと主記憶装置の間に置いて、主記憶のアクセス時間を短縮するためのメモリである。キャッシュメモリと主記憶の記憶階層を利用して、高速性と大容量化を経済的に実現する手法である。

ウのダイレクトメモリアクセスは、入出力装置がCPUを介さずにメモリとの間でデータを直接転送する方式である。DMAコントローラがデータを転送する。

エのメモリアンタリーブは、主記憶装置を独立した動作可能な複数のバンクに分け、連続したアドレスがアクセスされる場合に並列して動作させ、見かけ上のアクセス時間を改善する手段である。求める答えはエである。

問48 エ

メモリアンタリーブに関する問題である。

メモリアンタリーブは、主記憶装置を複数のアクセス単位に分けておき、各バンクを並行してアクセスできるようにすることによって、主記憶へのアクセスを高速化する方法である。

アはディスクキャッシュ、イはデータキャッシュ、ウはサイクルタイム、エはメモリアンタリーブである。求める答えはエとなる。

問49 ウ

メモリアンタリーブに関する問題である。

メモリアンタリーブは、主記憶装置を複数のアクセス単位に分けておき、各バンクを並行してアクセスできるようにすることによって、主記憶へのアクセスを高速化する方法である。

アはCPUと主記憶装置のアクセス時間の差を縮めるためのキャッシュメモリ方式である。

イは主記憶をいくつかのバンクに分割し、それぞれのバンクごと一括してプログラムまたはデータのアドレスを割り付ける方式である。

ウはメモリを複数のバンクに分割し、空間の局所性を確保できるようにして、プログラムやデータを振り分け、それぞれのバンクに独立してアクセスできるようにしたもので、一つのバンクを呼び出すときに局所性の高いバンクを同時に呼び出す方式であり、メモリインタリーブといわれる方式である。メモリにアクセスする場合には複数のバンクが対象になる。求める答えはウとなる。

エは、命令処理の過程を高速化するためのパイプライン処理の方式である。

問50 エ

メモリインタリーブに関する問題である。

メモリインタリーブは、主記憶装置をいくつかのバンクに分割し、各バンク毎にアクセスパスを設定する。あるバンクの情報に対するアクセスがある時は、それに続く全てのバンクの情報を同時にそれぞれのアクセスパスを経由して読み出す仕組みである。

主記憶装置に書き込みを行うタイミングにライトスルー方式とライトバック方式がある。

ライトスルー方式は、キャッシュメモリのブロックに書き込むときに、同時に主記憶装置のブロックにも書き込む方式である。

ライトバック方式は、キャッシュメモリからブロックを追い出すときに、主記憶装置への書き込みを行う方式である。

アはキャッシュメモリのライトバック方式である。

イはキャッシュメモリで、記憶階層に関する内容ある。

ウはキャッシュメモリのライトスルー方式である。

エはメモリインタリーブである。求める答えはエとなる。

問51 イ

キャッシュメモリのアクセス時間に関する問題である。

キャッシュの性能として、ヒット率とアクセス時間がある。ヒット率は命令またはデータがキャッシュメモリ内に存在する割合であり、存在しない割合をミスヒット率という。ヒット率はプログラムの参照局所性に左右され、マッピング方式やブロック置換アルゴリズムの影響を受ける。キャッシュアクセス時間はキャッシュを構成するメモリ素子によって決まる。

キャッシュメモリへのアクセス手順を示すと次のようになる。

- ① キャッシュに存在すればそれにアクセスする。
- ② キャッシュに存在しなければ、キャッシュの一部と主記憶装置の一部を置換アルゴリズムに従って置き換える。
- ③ アクセス対象の主記憶装置内の命令やデータをキャッシュ内に読み出し、それにアクセスする。

ア、ウ、エはアクセス時間が減少するが、イのヒット率の低下は、アクセス手順の②、③の手順が必要となり、平均アクセス時間が増加する。求める答えはイとなる。

問52 ウ

パイプライン制御に関する問題である。

RISCマシンの5段のパイプライン制御は 命令フェッチ(I F)、命令デコード(I D)、実

行 (EX)、メモリアクセス (MEM)、レジスタ・ライトバック (WB) の順序で行われ、次の図に示すように各ステージがパイプライン制御される。

命令番号	パイプラインステージ								
1	IF	ID	EX	MEM	WB				
2		IF	ID	EX	MEM	WB			
3			IF	ID	EX	MEM	WB		
4				IF	ID	EX	MEM	WB	
5					IF	ID	EX	MEM	WB

CPUは、クロック信号で駆動され、CPU内部の論理回路とメモリが、クロック信号によって駆動されてフリップフロップが新たな値を受け付け、論理回路でその新たな値をデコードし、次のクロックパルスが入ってくると、フリップフロップはまた新たな値を受け付け、同様に処理されていく。

ステージの内容を整理すると次のようになる。

- ①の書込は実行結果をメモリに書き込む。
- ②の実行とアドレス生成はプログラムを実行し、その結果を書き込むアドレスを生成する。
- ③の命令デコードとレジスタファイル読出しは命令を解釈し、レジスタファイルを読出す。
- ④の命令フェッチは命令の読出しである。
- ⑤のメモリアクセスはメモリの所定のアドレスに動作することである。

従って、命令実行の順序は次のようになる。

- ④命令フェッチ→③命令デコードとレジスタファイル読出し→②実行とアドレス生成→⑤メモリアクセス→①書込となり、求める答えはウとなる。

問53 イ

キャッシュメモリに関する問題である。

キャッシュメモリは、プロセッサに近接して装備され、主記憶装置内の命令やデータを一時的に格納する装置である。高速読み出し小容量の記憶装置で、主記憶装置から読み出したデータをキャッシュメモリに保持し、CPUが後で同じデータを読み出すときにキャッシュメモリから読み出すことによって主記憶装置からの実行上の読み出し速度を向上させる目的に用いられる。

アの主記憶からキャッシュメモリに命令とデータを同時に読み出すことはできない。

イのデータをキャッシュメモリに一時的に保持し、後で同じデータが必要になるとキャッシュメモリのデータを使用して高速化を図る内容は適切である。求める答えはイとなる。

ウのキャッシュメモリに保持したデータを命令の並列処理時に利用することはできない。並列処理はパイプライン制御の問題である。

エのキャッシュメモリは命令のデコードはできない。デコードはCPU制御装置の機能である。

問54 エ

投機実行に関する問題である。

投機実行は、マイクロプロセッサの高速化手法の一つで、プログラムが途中で条件分岐してい

るときに、分岐した先の処理をあらかじめ実行しておくことである。最近のマイクロプロセッサは複数の命令を並行して実行できるようになっているが、条件分岐が含まれると分岐先の命令がどこにあるか事前に知ることができないため、条件が確定するまで分岐先の命令の実行に取り掛かることができない。投機的実行では、分岐先を予測して分岐先の命令の実行を開始し、予測が当たっていれば条件の確定を待つことなくスムーズに処理が継続でき、処理速度は高速化される。予測が外れたら投機的に実行された結果は破棄され、正しい分岐先の命令が実行される。

アはアウトオブオーダー実行、イは同時マルチスレッディング、ウはマルチプロセッサシステム、エは投機実行である。求める答えはエとなる。