

# 1.1 「プロセッサとメモリ」演習問題

## 問1

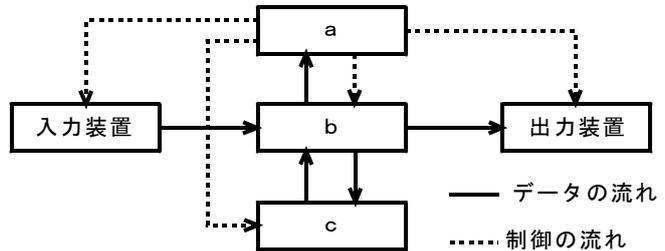
コンピュータの構成要素のうち、命令を取り出し、解釈して、その命令が実行されるように他の装置へ動作指示するとともに、次に実行する命令のアドレスを決める機能をもつ装置はどれか。

- ア 演算装置      イ 記憶装置      ウ 制御装置      エ 入出力装置

## 問2

コンピュータの基本構成を表す図中の□に入れるべき適切な字句の組合せはどれか。

	a	b	c
ア	演算装置	記憶装置	制御装置
イ	記憶装置	制御装置	演算装置
ウ	制御装置	演算装置	記憶装置
エ	制御装置	記憶装置	演算装置



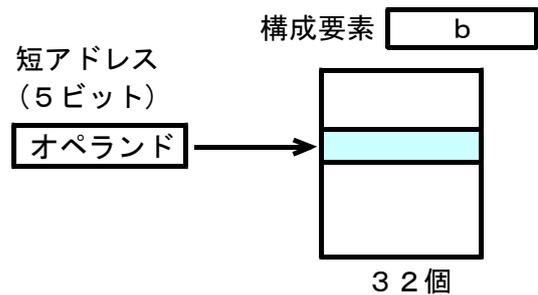
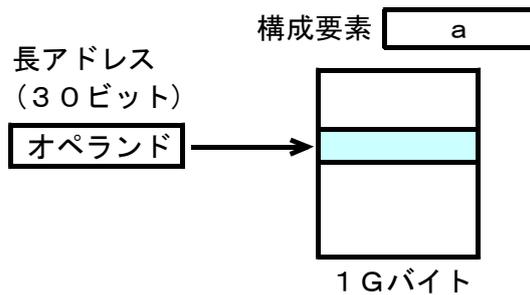
## 問3

プロセッサは演算装置及び制御装置からなる。制御装置に含まれる要素はどれか。

- ア アキュムレータ      イ 加算器      ウ 補数器      エ 命令デコーダ

## 問4

図はあるコンピュータシステムにおいて、マシン命令のオペランドで指定され、命令やデータの読出し元あるいは格納先となる構成要素を示している。a、bを表す適切な組合せはどれか。



	a	b
ア	主記憶装置	レジスタ
イ	ハードディスク	主記憶装置
ウ	ハードディスク	レジスタ
エ	レジスタ	ハードディスク

**問5**

コンピュータは、入力、記憶、演算、制御及び出力の五つの機能を実現する各装置から構成される。命令はどの装置から取り出され、どの装置で解釈されるか。

	取出し	解釈
ア	演算	制御
イ	記憶	制御
ウ	制御	演算
エ	入力	演算

**問6**

処理装置を構成する要素のうち、分岐命令の実行によって更新されるものはどれか。

- ア インデックスレジスタ
- イ 汎用レジスタ
- ウ プログラムレジスタ
- エ 命令レジスタ

**問7**

CPUのプログラムレジスタ(プログラムカウンタ)の役割はどれか。

- ア 演算を行うために、メモリから読み出したデータを保持する。
- イ 条件付き分岐命令を実行するために、演算結果の状態を保持する。
- ウ 命令のデコードを行うために、メモリから読み出した命令を保持する。
- エ 命令を読み出すために、次の命令が格納されたアドレスを保持する。

**問8**

一般に使用されているコンピュータの基本アーキテクチャで、プログラムとデータを一緒にコンピュータの記憶装置の中に読み込んでおき、それを順次読み出し実行していく方式はどれか。

- ア アドレス方式
- イ 仮想記憶方式
- ウ 直接プログラム制御方式
- エ プログラム格納方式

**問9**

コンピュータの命令実行順序として、適切なものはどれか。

- ア オペランドフェッチ → 命令の解釈 → 命令フェッチ → 命令の実行
- イ オペランドフェッチ → 命令フェッチ → 命令の解釈 → 命令の実行
- ウ 命令の解釈 → 命令フェッチ → オペランドフェッチ → 命令の実行
- エ 命令フェッチ → 命令の解釈 → オペランドフェッチ → 命令の実行

**問10**

命令の構成に関する記述のうち、適切なものはどれか。

- ア オペランドの個数は、その命令で指定する主記憶の番地の個数と等しい。
- イ コンピュータの種類によって命令語の長さは異なるが、一つのコンピュータでは、命令語の長さは必ず一定である。
- ウ 命令語長が長いコンピュータほど、命令の種類も多くなる。
- エ 命令は、命令コードとオペランドで構成される。ただし、命令の種類によっては、オペランドがないものもある。

**問11**

主記憶装置へのアクセスを伴う演算命令を実行するとき、命令解読とオペランド呼出の間に行われる動作はどれか。

- ア 入出力装置起動
- イ 分岐アドレス計算
- ウ 有効アドレス計算
- エ 割込み発生

**問12**

インデックスレジスタの説明として、適切なものはどれか。

- ア アドレス修飾に用いるレジスタで、命令のアドレス部の値に加えられる基準となるアドレス値を保持する。
- イ アドレス修飾に用いるレジスタで、命令のアドレス部を修飾するための増分値を保持する。
- ウ 主記憶装置から取り出された命令を格納する。
- エ 特定の機能に限定せず、多目的に使用される。

**問13**

[LOAD GR, B, AD]は、ADが示す番地にベースレジスタBの内容を加えた値を有効アドレスとして、その有効アドレスが示す主記憶に格納されているデータを汎用レジスタGRにロードする命令である。LOAD GR, 1, 200 を実行したときの、GRの内容はどれか

<ul style="list-style-type: none"> <li>ア 1100</li> <li>イ 1200</li> <li>ウ 1201</li> <li>エ 1300</li> </ul>	<p>ベースレジスタ1番地</p> <table border="1" style="border-collapse: collapse; text-align: center;"> <tr><td style="width: 100px; height: 20px;">100</td></tr> </table> <p>主記憶</p> <table border="1" style="border-collapse: collapse; text-align: center;"> <tr><td style="width: 100px; height: 20px;">100</td><td style="width: 100px;">1100</td></tr> <tr><td style="width: 100px; height: 20px;">101</td><td style="width: 100px;">1101</td></tr> <tr><td style="width: 100px; height: 20px;"> </td><td style="width: 100px;"> </td></tr> <tr><td style="width: 100px; height: 20px;">200</td><td style="width: 100px;">1200</td></tr> <tr><td style="width: 100px; height: 20px;">201</td><td style="width: 100px;">1201</td></tr> <tr><td style="width: 100px; height: 20px;"> </td><td style="width: 100px;"> </td></tr> <tr><td style="width: 100px; height: 20px;">300</td><td style="width: 100px;">1300</td></tr> <tr><td style="width: 100px; height: 20px;">301</td><td style="width: 100px;">1301</td></tr> </table>	100	100	1100	101	1101			200	1200	201	1201			300	1300	301	1301
100																		
100	1100																	
101	1101																	
200	1200																	
201	1201																	
300	1300																	
301	1301																	

**問14**

次に示すアドレス指定方式のうち、メモリ参照を行わずにデータを取り出すものはどれか。

- ア インデックスアドレス
- イ 間接アドレス
- ウ 即値アドレス
- エ 直接アドレス

**問15**

命令のオペランド部において、プログラムカウンタの値を基準とし、その値からの変位で実行アドレスを指定する方式はどれか。

- ア インデックスアドレス指定
- イ 絶対アドレス指定
- ウ 相対アドレス指定
- エ ベースアドレス指定

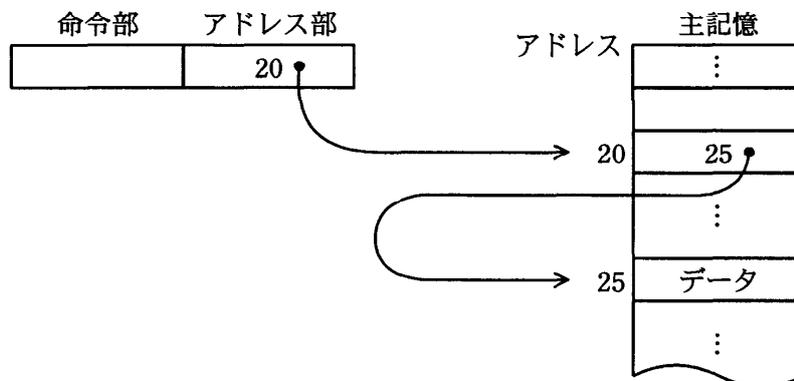
**問16**

次のアドレス指定方式の記述について、正しいものはどれか。

- ア 間接アドレス指定方式は、命令のアドレス部に処理対象データの格納されている番地が入っている形式である。
- イ 命令が処理するデータの番地を格納しているレジスタの番号を、命令のアドレス部で指定する方式をレジスタアドレス指定方式という。
- ウ 指標アドレス指定方式は、命令のアドレス部で指定するメモリの内容が、処理対象データの番地を指す方式である。
- エ 命令のアドレス部が処理対象データである方式を直接アドレス指定方式という。

**問17**

主記憶のデータを図のように参照するアドレス指定方式はどれか。



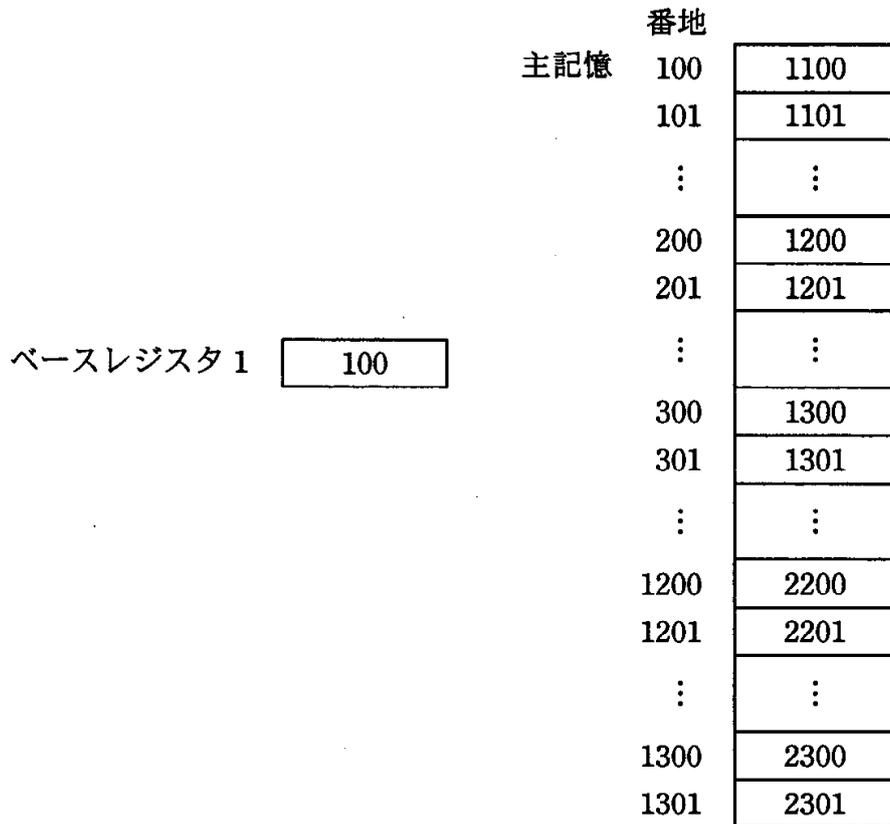
- ア 間接アドレス指定
- イ 指標アドレス指定
- ウ 相対アドレス指定
- エ 直接アドレス指定

**問18**

“LOAD GR, B, AD”は, ADが示す番地にベースレジスタBの内容を加えた値を有効アドレスとして, その有効アドレスが示す主記憶に格納されているデータを汎用レジスタGRにロードする命令である。

図の状態で, 次の命令を実行したとき, 汎用レジスタGRにロードされるデータはどれか。

LOAD GR, 1, 200



- ア 1201
- ウ 2200

- イ 1300
- エ 2300

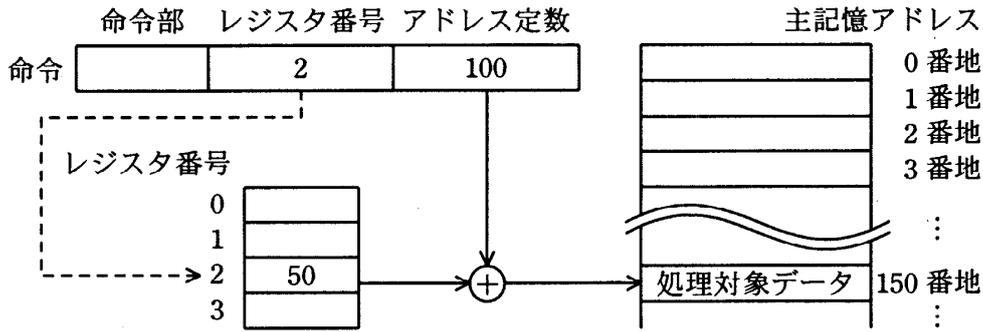
**問19**

命令は、命令コード部とアドレス部から構成されている。アドレス部から実効番地を生成する方式のうち、絶対アドレス方式のものはどれか。

- ア 基準アドレスとしてスタックポインタの値を用い、命令のアドレス部を基準アドレスからの変位として加算し、実効番地を生成する。
- イ 基準アドレスとしてプログラムカウンタの値を用い、命令のアドレス部を基準アドレスからの変位として加算し、実効番地を生成する。
- ウ 基準アドレスとしてベースレジスタの内容を用い、命令のアドレス部を基準アドレスからの変位として加算し、実効番地を生成する。
- エ 命令のアドレス部を実効番地とする。

**問20**

図に示すアドレス指定方式はどれか。



- ア 指標付きアドレス指定方式
- イ 相対アドレス指定方式
- ウ 直接アドレス指定方式
- エ レジスタ間接アドレス指定方式

**問21**

平均命令実行時間が20ナノ秒のコンピュータがある。このコンピュータの性能は何MIPSか。

- ア 5
- イ 10
- ウ 20
- エ 50

**問22**

50MIPSのプロセッサの平均命令実行時間は幾らか。

- ア 20ナノ秒
- イ 50ナノ秒
- ウ 2マイクロ秒
- エ 5マイクロ秒

**問23**

50MIPSのコンピュータで、3,000万個の命令を実行する場合の予想処理時間は何秒か(小数第3位を四捨五入する)。ここで、プロセッサの使用率は70%とし、OSのオーバーヘッドは考えないものとする。

- ア 0.42
- イ 0.60
- ウ 0.86
- エ 1.17

**問24**

1GHzで動作するCPUがある。このCPUは、機械語の1命令を平均0.8クロックで実行できることが分かっている。このCPUは1秒間に約何万命令実行できるか。

- ア 125
- イ 250
- ウ 80,000
- エ 125,000

**問25**

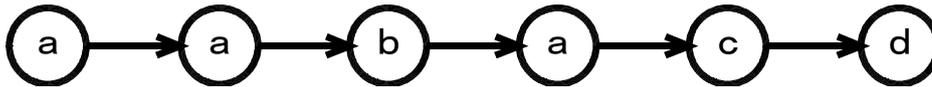
基本動作時間(クロック時間)が3ナノ秒の処理装置で、命令の実行に必要なクロック数とその命令の出現比率が表に示す値である場合、この処理装置の性能は平均約何MIPSか。

命令の種類	命令実行に必要なクロック数	出現比率
レジスタ間演算	4	40%
メモリ・レジスタ間演算	8	50%
無条件分岐	10	10%

- ア 5                      イ 30                      ウ 50                      エ 100

**問26**

あるプログラムは、命令 a、b、c、d を次の順で実行する。各命令の実行に必要なクロックサイクル数(CPI)は右の表のとおりである。CPUの1クロックサイクル時間を10ナノ秒とすると、この命令列のCPU実行時間は何ナノ秒か。



- ア 20  
イ 32  
ウ 200  
エ 320

命令	CPI
a	6
b	2
c	4
d	8

**問27**

次の表は、あるコンピュータの命令ミックスである。このコンピュータの処理性能は約何MIPSか。

命令種別	実行速度(マイクロ秒)	出現頻度(%)
加減算命令	0.4	50
乗算命令	1.0	35
移動命令	4.0	10
分岐命令	5.0	5

- ア 0.1                      イ 0.8                      ウ 1.0                      エ 1.6

**問28**

クロック周波数が1GHzの処理装置がある。この処理装置の命令種別が、表に示す二つから成っているとき、処理能力は約何MIPSか。

命令種別	実行時間(クロック)	実行頻度(%)
命令1	10	60
命令2	5	40

- ア 34                      イ 100                      ウ 125                      エ 133

**問29**

数値演算処理を行うサブプログラムAでは、合計100,000命令が実行される。このサブプログラムで実行される演算命令に必要なクロックサイクル数と、各演算命令の構成比率は、表のとおりである。クロック周波数が100MHzのプロセッサでサブプログラムAを実行するために必要な時間は何ミリ秒か。

演算命令	必要クロックサイクル数	構成比率(%)
浮動小数点加算	3	18
浮動小数点乗算	5	10
浮動小数点除算	20	5
整数演算	2	67

- ア 0.4175                      イ 3.38  
ウ 41.75                      エ 338

**問30**

あるベンチマークテストプログラムの命令ごとの出現頻度と、これを実行するプロセッサの実行クロック数を表に示す。

このベンチマークテストプログラムにおけるCPI (Clocks Per Instruction)は幾らか。

- ア 0.48  
イ 0.69  
ウ 2.10  
エ 2.67

命令	出現頻度(%)	実行クロック数
転送	50	1
演算	30	2
分岐	20	5

**問31**

表のCPIと構成比率で、3種類の演算命令が合計1,000,000命令実行されるプログラムを、クロック周波数が1GHzのプロセッサで実行するのに必要な時間は何ミリ秒か。

- ア 0.4
- イ 2.8
- ウ 4.0
- エ 28.0

演算命令	CPI (Cycles Per Instruction)	構成比率 (%)
浮動小数点加算	3	20
浮動小数点乗算	5	20
整数演算	2	60

**問32**

プロセッサを制御するために用いられるクロックに関する記述のうち、適切なものはどれか。

- ア 同じアーキテクチャのプロセッサであれば、クロック周波数の高いものほど単位時間当たりの実行命令数は多い。
- イ クロック周波数の逆数は、1秒間に実行できる命令数と等しい。
- ウ プログラムが全く実行されていないときは、クロックは停止している。
- エ 命令フェッチから命令実行までの一連の処理は、1クロックで実行される。

**問33**

パソコンのCPUのクロック周波数に関する記述のうち、適切なものはどれか。

- ア クロック周波数は、CPUの命令実行タイミングを制御するので、クロック周波数が高くなるほどパソコンの命令実行速度が向上する。
- イ クロック周波数は、磁気ディスクの回転数にも影響を与えるので、クロック周波数が高くなるほど回転数が高くなり、磁気ディスクの転送速度が向上する。
- ウ クロック周波数は、通信速度も制御するので、クロック周波数が高くなるほどLANの通信速度が向上する。
- エ クロック周波数は、内部時計の基準となるので、クロック周波数が2倍になると、割込み間隔が1/2になり、リアルタイム処理の処理速度が向上する。

**問34**

パソコンのクロック周波数に関する記述のうち、適切なものはどれか。

- ア CPUのクロック周波数と、主記憶を接続するシステムバスのクロック周波数は同一でなくてもよい。
- イ CPUのクロック周波数の逆数が、1秒間に実行できる命令数を表す。
- ウ CPUのクロック周波数を2倍、3倍、4倍、…と高くすれば、パソコンのシステム全体としての性能もそれに比例して2倍、3倍、4倍、…となる。
- エ 使用しているCPUの種類とクロック周波数が等しければ、2台のパソコンのプログラム実行性能は同等と考えてよい。

**問35**

ワンチップマイコンの内蔵メモリにフラッシュメモリが採用されている理由として、適切なものはどれか。

- ア ソフトウェアのコードサイズを小さくできる。
- イ マイコン出荷後もソフトウェアの書換えが可能である。
- ウ マイコンの処理性能が向上する。
- エ マスクROMよりも信頼性が向上する。

**問36**

二つの安定状態をもつ順序回路はどれか。

- ア NANDゲート
- イ 加算器
- ウ コンデンサ
- エ フリップフロップ

**問37**

DRAMの特徴はどれか。

- ア 書込み及び消去を一括又はブロック単位で行う。
- イ データを保持するためのリフレッシュ操作又はアクセス操作が不要である。
- ウ 電源が遮断された状態でも、記憶した情報を保持することができる。
- エ メモリセル構造が単純なので高集積化することができ、ビット単価を安くできる。

**問38**

フリップフロップ回路を利用した高速なメモリはどれか。

- ア DRAM
- イ RDRAM
- ウ SDRAM
- エ SRAM

**問39**

DRAMの説明として、適切なものはどれか。

- ア コンデンサに電荷を蓄えた状態か否かによって1ビットを表現する。主記憶としてよく用いられる。
- イ 製造時にデータが書き込まれる。マイクロプログラム格納用メモリとして用いられる。
- ウ 専用の装置でデータを書き込むことができ、紫外線照射で消去ができる。
- エ フリップフロップで構成され、高速であるが製造コストが高い。キャッシュメモリなどに用いられる。

**問40**

記憶素子DRAMの原理に関して、次の文中の□□□□に入れる適切な字句の組合せはどれか。  
主記憶装置に広く用いられているDRAMは、□ a □に記憶機能を持たせてあり、□ b □によって1ビットの情報を記憶する。

この情報の読出しは□ c □に行われ、□ d □。

	a	b	c	d
ア	磁性媒体	磁心の磁化方向	破壊的	再磁化が必要である
イ	磁性媒体	磁化の方向	非破壊的	高速読出しが可能である
ウ	電気回路	コンデンサの電荷の有無	破壊的	リフレッシュが必要である
エ	電気回路	フリップフロップの状態	非破壊的	リフレッシュが不要である

**問41**

次の特徴をもつ記憶素子はどれか。

「コンデンサが充電されているか否かによって1ビットの記憶セルを作る。これにスイッチとしてトランジスタを付けたもので、記憶されている情報が時間とともに消えてしまうので、一定期間ごとにリフレッシュが必要である。」

- ア DRAM                      イ ICメモリ                      ウ MOS素子                      エ SRAM

**問42**

DRAMの説明として、正しいものはどれか。

- ア キャッシュメモリなどの高速性が要求されるメモリに使用される。
- イ 処理装置の命令によってデータを書き込むことができ、メモリに電力が供給されなくてもデータを記憶し続けることができる。
- ウ データを記憶し続けるために、一定時間ごとに再書込（リフレッシュ）が必要である。
- エ 電力消費量が小さいので、電池によるバックアップで長時間データ保存が可能である。

**問43**

DRAMのリフレッシュ動作の説明として、適切なものはどれか。

- ア 一定時間ごとに内容を外部記憶装置に書き込む。
- イ システムの電源投入時に、全領域を0で初期化する。
- ウ データを保持するために、一定時間ごとにアクセスする。
- エ 内容を更新するときに、データを一旦消去する。

**問44**

DRAMの説明として、適切なものはどれか。

- ア 1バイト単位でデータの消去及び書込みが可能な不揮発性のメモリであり、電源遮断時もデータ保持が必要な用途に用いられる。
- イ 不揮発性のメモリでNAND型又はNOR型があり、SSDに用いられる。
- ウ メモリセルはフリップフロップで構成されキャッシュメモリに用いられる。
- エ リフレッシュ動作が必要なメモリであり、PCの主記憶として用いられる。

**問45**

素子の動作は比較的遅いが、集積度を高めることが可能なので、プロセッサや周辺の回路を1個のチップに搭載した大規模LSIを安価に製造でき、プロセッサの主流として広く使用されている半導体はどれか。

- ア CMOS
- イ DRAM
- ウ ECL
- エ TTL

**問46**

バイポーラプロセッサと比較した場合のCMOSプロセッサの特徴として、適切なものはどれか。

- ア 高速な演算が可能である。
- イ 集積度を高めることが可能である。
- ウ 静電気への耐性が高い。
- エ 電源からの雑音の影響を受けやすい。

**問47**

ICメモリのうち、記憶セルにフリップフロップを使用していて、高速にアクセスができ、パソコンのキャッシュメモリとして多く用いられているものはどれか。

- ア DRAM
- イ EDODRAM
- ウ SRAM
- エ VRAM

**問48**

次のICメモリの記述のうち、正しいものはどれか。

- ア マスクROMは製造過程で記憶内容が書き込まれるが、後で変更が可能である。
- イ DRAMはフリップフロップを利用して情報を記憶するので、リフレッシュの必要がない。
- ウ PROMは製造過程で記憶内容が書き込まれ、ユーザが変更することができない。
- エ EEPROMは1バイトまたは1ブロックの消去が電氣的に簡単に行える。

**問49**

ICカードに使用されているROMは次のうち、どれか。

- ア PROM
- イ ROM
- ウ マスクROM
- エ EEPROM

**問50**

データを電気的に書き込み、紫外線照射によって消去可能なメモリはどれか。

- ア DRAM
- イ EPROM
- ウ SRAM
- エ マスクROM

**問51**

4MDRAMのICメモリを用いて1Mバイトの記憶装置を作るためには、何個のチップが必要か。

- ア 1
- イ 2
- ウ 4
- エ 8

**問52**

4MDRAMの説明文として正しいものはどれか。

- ア 4Mバイトのリフレッシュが必要な揮発性ICメモリ。
- イ 4Mバイトのリフレッシュが必要な不揮発性ICメモリ。
- ウ 4Mビットのリフレッシュが必要な不揮発性ICメモリ。
- エ 4Mビットのリフレッシュが必要な揮発性ICメモリ。

**問53**

半導体記憶素子に関する記述のうち、正しいものはどれか。

- ア DRAMは、フリップフロップで構成されており、一度書き込んだデータは電源を切るまで保持される。
- イ PROMは、不揮発性で読み取り専用のメモリである。IPLなどの変更する必要のないプログラムを格納するために用いられる。工場出荷時にメモリの内容は書き込まれており、ユーザは内容を変更できない。
- ウ SRAMは、トランジスタとそれに付随するキャパシタからなる。データはこのキャパシタに電荷として蓄えられる。電荷は時間の経過とともに放電され消失するので、定期的リフレッシュを行いデータを保持する必要がある。
- エ バイポーラ型RAMは、記憶素子として比較的集積度が低く消費電力が大きい、高速性を生かしてレジスタやキャッシュメモリに利用される。

**問54**

電気信号によってデータの書換え、消去が可能なメモリであり、電源を切っても内容を保持できるものはどれか。

- ア DRAM
- イ SRAM
- ウ フラッシュメモリ
- エ マスクROM

**問55**

フラッシュメモリの説明として、適切なものはどれか。

- ア 1回だけ電氣的に書き込みができる。
- イ 書込み、消去共に電氣的に行い、消去単位は大きい。
- ウ 書込みは電氣的に行い、消去は紫外線によって行う。
- エ 情報の固定された漢字フォントなどが書き込まれる。

**問56**

フラッシュメモリに関する記述として、適切なものはどれか。

- ア 紫外線で全内容を消して書き直せるメモリである。
- イ データを速く読み出せるので、キャッシュメモリとしてよく用いられる。
- ウ 不揮発性メモリの一種であり、電氣的に全部又は一部分を消して内容を書き直せるメモリである。
- エ リフレッシュ動作が必要なメモリであり、主記憶に広く使われる。

**問57**

フラッシュメモリの説明として、適切なものはどれか。

- ア 1回だけ電氣的に書き込みができる。
- イ 一定時間内に再書込み（リフレッシュ動作）を行う。
- ウ 書込み、消去とも電氣的に行い、一括又はブロック単位で消去する。
- エ 書込みは電氣的に行い、消去は紫外線によって行う。

**問58**

フラッシュメモリの説明として、適切なものはどれか。

- ア 書込み回数は無制限である。
- イ 書込み時は回路基板から外して、専用のROMライターで書き込まなければならない。
- ウ 定期的にはリフレッシュしないと、データが失われる。
- エ データ書換え時には、あらかじめ前のデータを消去してから書込みを行う。

**問59**

デジタルカメラの画像データや携帯音楽プレーヤの音楽データの記録媒体として利用されているものはどれか。

- ア DRAM
- イ SRAM
- ウ フラッシュメモリ
- エ マスクROM

**問60**

フラッシュメモリに関する記述として、適切なものはどれか。

- ア 高速に書換えができ、CPUのキャッシュメモリなどに用いられる。
- イ 紫外線で全内容の消去ができる。
- ウ 周期的にデータの再書込みが必要である。
- エ ブロック単位で電氣的に消去できる。

**問61**

コンピュータの電源投入時に最初に実行されるプログラムの格納に適しているものはどれか。ここで、主記憶のバッテリバックアップはしないものとする。

- ア DRAM
- イ HDD
- ウ ROM
- エ SRAM

**問62**

組込みシステムのプログラムを格納するメモリとして、マスクROMを使用するメリットはどれか。

- ア 紫外線照射で内容を消去することによって、メモリ部品を再利用することができる。
- イ 出荷後のプログラムの不正な書換えを防ぐことができる。
- ウ 製品の量産後にシリアル番号などの個体識別データを書き込むことができる。
- エ 動作中に主記憶が不足した場合、補助記憶として使用することができる。

**問63**

記憶装置に関する記述で、正しいものはどれか。

- ア キャッシュメモリは、主記憶装置の記憶容量よりも大きなプログラムを実行するためのものである。
- イ 主記憶装置には、冗長ビットを付加することによって、記録の誤りを検出するだけでなく、その誤りを自動的に訂正できるものもある。
- ウ ディスクキャッシュは、ディスクの高速性よりもディスクの保全性を目的としたものである。
- エ 半導体ディスク装置は、磁気ディスク装置と比較すると、低速であるが小型大容量のものが実現でき、信頼性も磁気ディスクより高い。

**問64**

メモリの誤り制御方式で、自動訂正機能に採用されているものはどれか。

- ア 水平パリティチェック
- イ チェックサム
- ウ チェックディジット
- エ ハミングコード

**問65**

メモリの誤り制御方式で、2ビットの誤り検出機能と、1ビットの誤り訂正機能をもたせるのに用いられるものはどれか。

- ア 奇数パリティ
- イ 水平パリティ
- ウ チェックサム
- エ ハミング符号

**問66**

主記憶装置からデータや命令の読取りを行う場合、読取りを要求してからその受け渡しが完了するまでの時間で、読取り動作開始までの待ち時間と転送時間の合計で表すものはどれか。

- ア アクセスタイム
- イ サイクルタイム
- ウ ターンアラウンドタイム
- エ レスポンスタイム

**問67**

仮想記憶方式を用いているコンピュータシステムにおいて、実記憶に格納しきれないプログラムやデータを格納するための装置として、適切なものはどれか。

- ア CD-ROM
- イ VRAM
- ウ キャッシュメモリ
- エ ハードディスク

**問68**

記憶装置をアクセス速度の速い順に並べたものはどれか。

- ア 主記憶>レジスタ>ディスクキャッシュ>ハードディスク
- イ 主記憶>レジスタ>ハードディスク>ディスクキャッシュ
- ウ レジスタ>主記憶>ディスクキャッシュ>ハードディスク
- エ レジスタ>主記憶>ハードディスク>ディスクキャッシュ

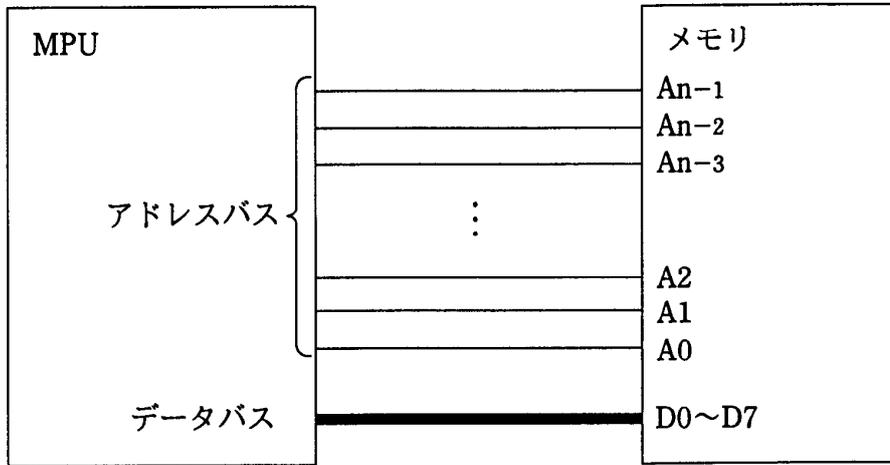
**問69**

アクセス時間の最も短い記憶装置はどれか。

- ア CPUの2次キャッシュメモリ
- イ CPUのレジスタ
- ウ 磁気ディスク
- エ 主記憶

**問70**

1 Mバイトのメモリを図のようにMPUに接続するとき、最低限必要なアドレスバスの信号線の本数nはどれか。ここで、メモリにはバイト単位でアクセスするものとし、1 Mバイトは1, 0 2 4 kバイト、1 kバイトは1, 0 2 4バイトとする。



- ア 18                      イ 19                      ウ 20                      エ 21

**問71**

動作クロック周波数が700MHzのCPUで、命令実行に必要なクロック数及びその命令の出現率が表に示す値である場合、このCPUの性能は約何MIPSか。

命令の種別	命令実行に必要なクロック数	出現率 (%)
レジスタ間演算	4	30
メモリ・レジスタ間演算	8	60
無条件分岐	10	10

- ア 10                      イ 50                      ウ 70                      エ 100

**問72**

キャッシュの書込み方式には、ライトスルー方式とライトバック方式がある。ライトバック方式を使用する目的として、適切なものはどれか。

- ア キャッシュと主記憶の一貫性（コピーレンジ）を保ちながら、書込みを行う。
- イ キャッシュミスが発生したときに、キャッシュの内容の主記憶への書き戻しを不要にする。
- ウ 個々のプロセッサがそれぞれのキャッシュをもつマルチプロセッサシステムにおいて、キャッシュ管理をライトスルー方式よりも簡単な回路構成で実現する。
- エ プロセッサから主記憶への書込み頻度を減らす。

## 1.2 「CPUの高速化」演習問題

### 問1

命令セットを使用頻度の高い基本命令に限定して制御のための回路を簡単にし、更にパイプライン処理が有効に働くように命令語長をできるだけ統一することで、命令の処理時間の短縮を図った処理装置のアーキテクチャはどれか。

- ア RISC                      イ CISC                      ウ RAM                      エ SCSI

### 問2

RISCアーキテクチャの特徴を表すものはどれか。

- ア 高機能で複雑な命令を備えている。  
イ 主記憶を直接参照する命令が多い。  
ウ タスクの切り替えがより高速にできる。  
エ 命令実行サイクル数が少なくなる。

### 問3

メモリシステムの信頼性を高めるため、データ読込時にエラーがあっても自動的に訂正する機能をもつ方式はどれか。

- ア CRC                      イ ECC                      ウ チェックサム                      エ パリティ

### 問4

CISCと比較したときのRISCの特徴として、適切なものはどれか。

	命令長	ハードウェアの制御	演算の対象
ア	固定	主にマイクロコード制御	メモリ、レジスタ
イ	固定	ワイヤードロジック制御	レジスタ
ウ	可変	主にマイクロコード制御	レジスタ
エ	可変	ワイヤードロジック制御	メモリ、レジスタ

### 問5

CISCと比較したときのRISCの特徴として、適切なものはどれか。

- ア 高機能な命令をもっている。                      イ パイプライン処理に適している。  
ウ プログラム容量は小さくなる。                      エ 命令の種類が多い。

**問6**

マイクロプログラム制御方式に関する記述として、正しいものはどれか。

- ア CISC方式のプロセッサよりも、RISC方式のプロセッサに有利である。
- イ 機械語命令を、制御メモリ内に格納された基本操作命令の組合で実現する。
- ウ 機械語命令を配線論理で実現する。
- エ コンピュータのエミュレーションを行うには不向きである。

**問7**

CISCの特徴に関する記述として、適切なものはどれか。

- ア 固定小数点命令、10進演算命令などの命令群が用意されている。
- イ 命令セットが単純化されているので、ワイヤードロジックでの実現が比較的容易である。
- ウ 命令長が固定であり、命令デコードの論理が簡単である。
- エ メモリ参照命令をロードおよびストア命令に限定している。

**問8**

RISCアーキテクチャのMPUの特徴として、正しいものはどれか。

- ア デコードできる命令長は、固定長だけでなく、可変長の命令が混在できる。
- イ ハードウェア回路とパイプライン命令実行の技術を使い、1命令当たり1クロックで命令を実行できる。
- ウ 命令形式は、レジスタ-レジスタ形式だけでなく、レジスタ-メモリ形式およびメモリーメモリ形式を混在できる。
- エ 命令を実行する回路は、マイクロプログラムというフォームウェアで実現できる。

**問9**

ワイヤードロジック方式とマイクロプログラム方式について処理速度と拡張性の二つの観点に関して比較を行った。a～dに当てはまる用語の組合せはどれか。

	ワイヤードロジック方式	マイクロプログラム方式
処理速度	a	b
拡張性	c	d

- ア (a 低速 b 高速 c 容易 d 困難)
- イ (a 低速 b 高速 c 困難 d 容易)
- ウ (a 高速 b 低速 c 容易 d 困難)
- エ (a 高速 b 低速 c 困難 d 容易)

**問10**

RISCとCISCを比較した場合、RISCの方が多くなる傾向があるものはどれか。

- ア アドレス修飾の種類
- イ 主記憶アクセスを伴う命令の数
- ウ 命令の数
- エ レジスタ数

**問11**

RISCに関する記述のうち、正しいものはどれか。

- ア 1命令を実行するのに必要なマシンサイクル数は、CISCより大きくなる傾向がある。
- イ コンパイラの最適化技術がプログラムの実行速度に与える影響は、CISCより大きい。
- ウ プログラムサイズはCISCと比べて小さくなる傾向がある。
- エ メモリ間のデータ転送に関する命令が多数ある。

**問12**

計算機の高速化を図るために、命令の実行過程を細分化し、並行して動作させる方式はどれか。

- ア インタリーブ
- イ デュアルシステム
- ウ パイプライン
- エ マルチプロセッサ

**問13**

プロセッサにおけるパイプライン処理方式に関する説明として、正しいものはどれか。

- ア 単一の命令を基に、複数のデータに対して複数のプロセッサが同期をとりながら並列的にそれぞれのデータを処理する方式
- イ 一つのプロセッサにおいて、単一の命令に対する実行時間をできるだけ短くする方式
- ウ 一つのプロセッサにおいて、複数の命令を少しずつ段階をずらしながら同時実行する方式
- エ 複数のプロセッサが、それぞれ独自の命令を基に複数のデータを処理する方式

**問14**

RISCでは、パイプライン処理を行い高速化を図っている。パイプラインを効率的に機能させるために、命令の並び替えなどを行い、高い実用性能を得るために大きな役割を果たしているものはどれか。

- ア アセンブラ
- イ オペレーティングシステム
- ウ コンパイラ
- エ プリプロセッサ

**問15**

CPUのパイプライン処理を有効に機能させるプログラミング方法はどれか。

- ア サブルーチンの数をできるだけ多くする。
- イ 条件によって実行する文が変わるCASE文を多くする。
- ウ 分岐命令を少なくする。
- エ メモリアクセス命令を少なくする。

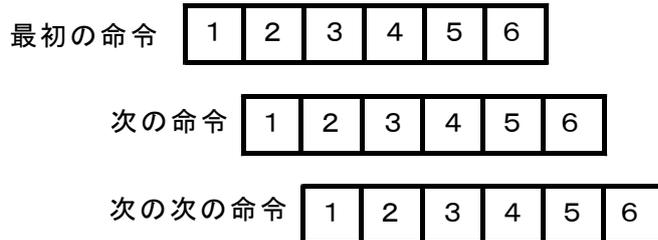
**問16**

命令パイプラインの効率を低下させる可能性のある命令はどれか。

- ア データ読取命令
- イ データ格納命令
- ウ 入出力命令
- エ ジャンプ命令

**問17**

あるコンピュータの1命令は、表のステップ1～6の順序で実行される。図のパイプライン処理を利用して6命令を実行すると、何ナノ秒かかるか。ここで、各ステップの実行時間は10ナノ秒とし、分岐命令などパイプライン処理の実行を乱す要因はないものとする。



表命令の実行ステップ

- ア 50
- イ 60
- ウ 110
- エ 300

ステップ	処理内容
1	命令コード部の取出し
2	命令の解読
3	アドレス部の取出し
4	実効番地の計算
5	データの取出し
6	演算の実行

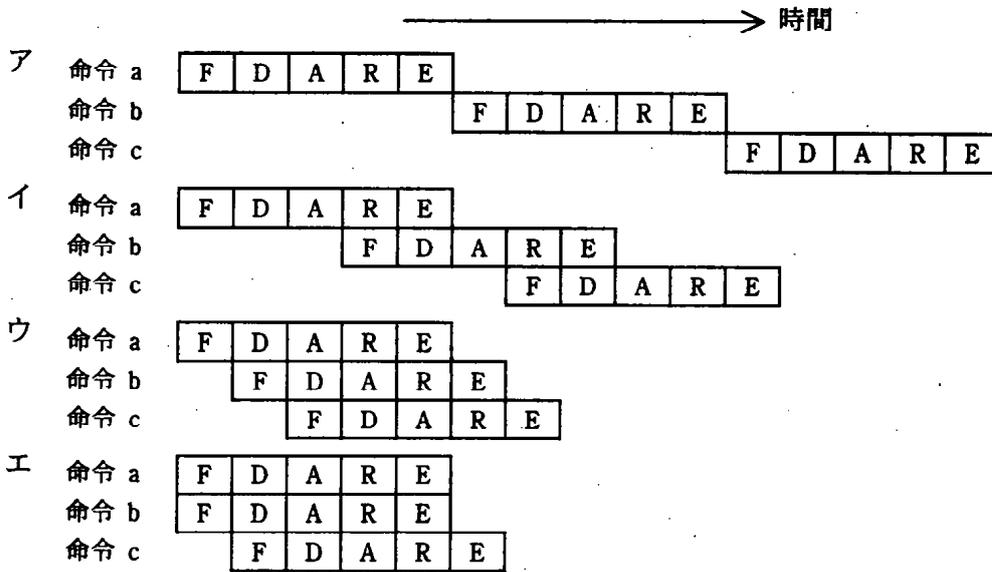
**問18**

各命令がすべて5サイクルで完了するように設計されたコンピュータがある。パイプライン制御のもとで20命令が途中停止(ストール)なしで実行できたとすると、その処理時間はパイプライン制御を行わない場合の何%になるか。

- ア 20
- イ 22
- ウ 24
- エ 25

**問19**

次に示す図のうち、スーパスカラ方式のものはどれか。図中の各記号は、F：命令続出し、D：  
：解読、A：アドレス計算、R：オペランド続出し、E：実行とする。



**問20**

スーパスカラの説明はどれか。

- ア 処理すべきベクトルの長さがベクトルレジスタより長い場合、ベクトルレジスタ長の組に分割して処理を繰り返す方式である。
- イ パイプラインを更に細分化することによって高速化を図る方式である。
- ウ 複数のパイプラインを用いて、同時に複数の命令を実行可能にすることによって高速化を図る方式である。
- エ 命令語を長く取り、一つの命令で複数の機能ユニットを同時に制御することによって高速化を図る方式である。

**問21**

コンピュータのパイプライン制御に関して、正しい記述はどれか。

- ア 一時に1命令ずつ、命令の取出し、解読、オペランドのアドレス計算、オペランドの取出し、命令実行、演算結果格納という六つの動作を、順番に実行させるための制御である。
- イ 主記憶をいくつかのバンク（ブロック）に分割し、各バンクごとにアクセスバスを設定し、メモリアクセスの並列処理を行い、処理時間を高速化する制御である。
- ウ マシンサイクルを基準とした命令実行動作中に、割込を検知し、割込の性質に応じた処理を優先実行させるための制御である。
- エ 命令の実行をいくつかの独立なステージ（命令の取出し、解読、オペランドのアドレス計算、オペランドの取出し、命令実行、演算結果格納）に分けて、複数の命令の各ステージを並列に実行することによって、高速化を図る制御である。

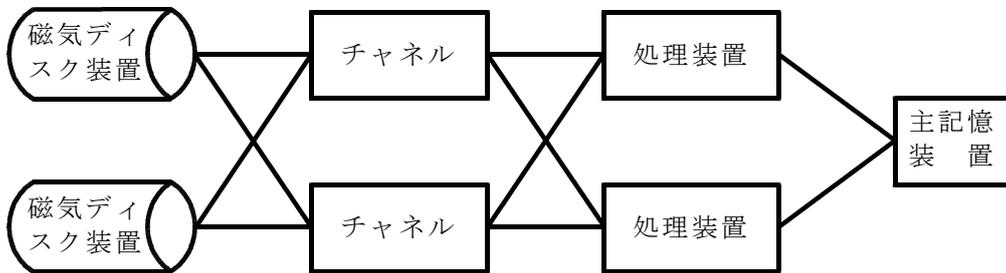
**問22**

パイプライン制御の特徴はどれか。

- ア 複数の命令を同時に実行するために、コンパイラが目的プログラムを生成する段階で、それぞれの命令がどの演算器を使うかをあらかじめ割り振る。
- イ 命令が実行される段階で、どの演算器を使うかを動的に決めながら、複数の命令を同時に実行する。
- ウ 命令の処理をプロセッサ内で複数のステージに細分化し、複数の命令を並列に実行する。
- エ 命令を更に細かなマイクロ命令の組合せで実行する。

**問23**

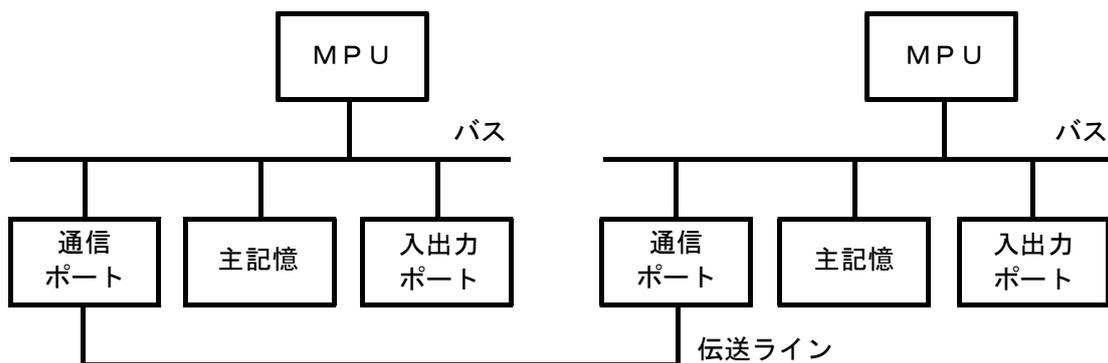
次の図で表現されている計算機システムの構成を何というか。



- ア シンプレックスシステム
- イ 多重プロセッサシステム
- ウ デュアルシステム
- エ デュプレックスシステム

**問24**

図に示すような二つのプロセッサで構成したシステムは、何と呼ばれるか。



- ア アレイプロセッサシステム
- イ スレーブシステム
- ウ 疎結合マルチプロセッサシステム
- エ 密結合マルチプロセッサシステム

**問25**

一連の処理を分散させ、同時にかつ独立に処理を進めて全体の処理時間を短縮するために、2台以上の処理装置を多重化する方式はどれか。

- ア 縮小命令セットコンピュータ（RISC）方式
- イ パイプライン方式
- ウ マイクロプログラミング方式
- エ マルチプロセッサ方式

**問26**

コンピュータシステムの構成に関する記述のうち、密結合型マルチプロセッサシステムについて説明したものはどれか。

- ア 複数のプロセッサが磁気ディスクを共用し、それぞれ独立したOSで制御される。ジョブ単位で負荷を分散することで処理能力を向上させる。
- イ 複数のプロセッサが主記憶を共用し、単一のOSで制御される。システム内のタスクは、基本的にどのプロセッサでも実行できるので、細かい単位で負荷を分散することで処理能力を向上させる。
- ウ 平常時は一方のプロセッサは待機しており、本番用のプロセッサが故障すると、待機中のプロセッサに切り替えて処理を続行する。
- エ 並列に接続された2台のプロセッサが同時に同じ処理を行い、相互に結果を照合する。1台のプロセッサが故障すると、それを切り離して処理を続行する。

**問27**

次の表の組合せのうち、実効メモリアクセス時間が最も短くなるのはどれか。

アクセス時間の単位 ナノ秒

	キャッシュメモリ		主記憶
	アクセス時間	ヒット率(%)	アクセス時間
ア	10	60	70
イ	10	70	70
ウ	20	70	50
エ	20	80	50

**問28**

あるプロセッサが主記憶装置及びキャッシュメモリにアクセスするとき、それぞれのアクセス時間は60ナノ秒及び10ナノ秒である。アクセスするデータがキャッシュメモリに存在する確率が80%の場合、このプロセッサの平均メモリアクセス時間は何ナノ秒か。

- ア 14
- イ 20
- ウ 50
- エ 70

**問29**

処理装置で用いられるキャッシュメモリの使用目的として、適切なものはどれか。

- ア 仮想記憶のアドレス変換を高速に行う。
- イ 仮想記憶のページング処理を高速に行う。
- ウ 主記憶へのアクセス速度とプロセッサの処理速度の差を埋める。
- エ 使用頻度の高いプログラムを常駐させる。

**問30**

キャッシュメモリに関する記述のうち、適切なものはどれか。

- ア 書込み命令を実行したときに、キャッシュメモリと主記憶の両方を書き換える方式と、キャッシュメモリだけを書き換えておき、主記憶の書換えはキャッシュメモリから当該データが追い出されるときに行う方式とがある。
- イ キャッシュメモリにヒットしない場合に割込みが生じ、プログラムによって主記憶からキャッシュメモリにデータが転送される。
- ウ キャッシュメモリは、実記憶と仮想記憶とのメモリ容量の差を埋めるために採用される。
- エ 半導体メモリのアクセス速度の向上が著しいので、キャッシュメモリの必要性は減っている。

**問31**

メモリ A～D を、実効メモリアクセスの速い順に並べたものはどれか。

	キャッシュメモリ			主記憶
	有無	アクセス時間(ナノ秒)	ヒット率(%)	アクセス時間(ナノ秒)
A	なし			15
B	なし			30
C	あり	20	60	70
D	あり	10	90	80

- ア A、B、C、D
- イ A、D、B、C
- ウ C、D、A、B
- エ D、C、A、B

**問32**

M P U から、キャッシュメモリを介して主記憶にアクセスする場合の実効アクセス時間が15ナノ秒であるとき、ヒット率は幾らか。ここで、主記憶のアクセス時間を60ナノ秒、キャッシュメモリのアクセス時間を10ナノ秒とする。

- ア 0.1
- イ 0.17
- ウ 0.83
- エ 0.9

**問33**

アクセス時間10ナノ秒のキャッシュメモリとアクセス時間50ナノ秒の主記憶を使用した処理装置の実効メモリアクセス時間を25ナノ秒以下にしたい。最低限必要なキャッシュメモリのヒット率は何%か。

- ア 50
- イ 60
- ウ 70
- エ 80

**問34**

システムA, Bのキャッシュメモリと主記憶のアクセス時間は表のとおりである。

あるプログラムをシステムAで実行したときのキャッシュメモリのヒット率と実効アクセス時間は、システムBで実行したときと同じになった。このときのキャッシュメモリのヒット率は幾らか。

単位 ナノ秒

	システムA	システムB
キャッシュメモリ	15	10
主記憶	50	70

- ア 0.2
- イ 0.3
- ウ 0.5
- エ 0.8

**問35**

クロック周波数が200MHzで動作しているパソコンにおいて、キャッシュのアクセス時間を10ナノ秒、主記憶のアクセス時間を70ナノ秒、キャッシュのヒット率を90%としたとき、メモリアクセスに必要な平均クロックサイクルは幾つか。

- ア 2
- イ 4
- ウ 8
- エ 16

**問36**

図に示す構成で、表に示すようにキャッシュメモリと主記憶のアクセス時間だけが異なり、ほかの条件は同じ2種類のCPU XとYがある。あるプログラムをCPU XとYでそれぞれ実行したところ、両者の処理時間が等しかった。このとき、キャッシュメモリのヒット率は幾らか。ここで、CPU処理以外の影響はないものとする。



図 構成

表 アクセス時間

単位 ナノ秒

	CPU X	CPU Y
キャッシュメモリ	40	20
主記憶	400	580

- ア 0.75
- イ 0.90
- ウ 0.95
- エ 0.96



#### 問41

キャッシュメモリに関する記述のうち、適切なものはどれか。

- ア キャッシュメモリの転送ブロックの大きさを仮想記憶のページの大きさと同じにすると、プログラムの実行効率が向上する。
- イ キャッシュメモリは高速アクセスが可能なので、汎用レジスタと同じ働きをする。
- ウ 主記憶のアクセス時間とプロセッサの命令実行時間の差が大きいマシンでは、多段のキャッシュ構成にすることで実効アクセス時間が短縮できる。
- エ ミスヒットが発生するとキャッシュ全体は一括消去され、主記憶から最新のデータの転送処理が実行される。

#### 問42

プロセッサにデータを読み込む時にキャッシュメモリにヒットしなかった場合、キャッシュメモリ制御装置が行う動作はどれか。

- ア キャッシュメモリから所要のデータをブロック転送し、磁気ディスクに書き込む。
- イ 磁気ディスクから所要のデータをブロック転送し、キャッシュメモリに読み込む。
- ウ 主記憶から所要のデータをブロック転送し、キャッシュメモリに読み込む。
- エ ディスクキャッシュから所要のデータをブロック転送し、主記憶に読み込む。

#### 問43

CPUと主記憶装置の間に置かれるキャッシュメモリにおいて、主記憶装置上のあるブロックを、キャッシュメモリ上の数個の特定ブロックと対応づけるマッピング方式はどれか。

- ア セットアソシアティブ方式
- イ ダイレクトマッピング方式
- ウ フルアソシアティブ方式
- エ ライトスルー方式

#### 問44

メモリインタリーブの説明として、適切なものはどれか。

- ア CPUと主記憶間のアクセスを高速化するために、キャッシュメモリと主記憶の両方に同時にデータを書き込む。
- イ CPUと主記憶のアクセス速度の違いによるボトルネックを解消するために、高速かつ小容量のメモリを配置する。
- ウ 主記憶へのアクセスを高速化するために、主記憶内部を複数のバンクに分割し、各バンクを並列にアクセスする。
- エ パイプライン処理を乱す要因をなくすために、キャッシュメモリを命令用とデータ用の二つに分離する。

**問45**

多重処理の考え方を導入して複数のバンクを使用し、処理装置の主記憶へのアクセス待ち時間を減少させようとする方式はどれか。

- ア キャッシュメモリ
- イ 蓄積交換
- ウ パイプライン
- エ メモリインタリーブ

**問46**

コンピュータの高速化技術の一つであるメモリインタリーブに関する記述として、適切なものはどれか。

- ア 主記憶と入出力装置、又は主記憶同士のデータの受渡しをCPU経由でなく直接やり取りする方式
- イ 主記憶にデータを送り出す際に、データをキャッシュに書き込み、キャッシュがあふれたときに主記憶へ書き込む方式
- ウ 主記憶のデータの一部をキャッシュにコピーすることによって、レジスタと主記憶とのアクセス速度の差を締める方式
- エ 主記憶を複数の独立して動作するグループに分けて、各グループに並列にアクセスする方式

**問47**

主記憶装置の高速化の技法として、主記憶を幾つかのアクセス単位に分割し、各アクセス単位をできるだけ並行動作させることによって、実効アクセス時間を短縮する方法を何というか。

- ア 仮想記憶
- イ キャッシュメモリ方式
- ウ ダイレクトメモリアクセス
- エ メモリインタリーブ

**問48**

メモリインタリーブの説明はどれか。

- ア CPUと磁気ディスク装置との間に半導体メモリによるデータバッファを設けて、磁気ディスクアクセスの高速化を図る。
- イ 主記憶のデータの一部をキャッシュメモリにコピーすることによって、CPUと主記憶とのアクセス速度のギャップを埋め、メモリアクセスの高速化を図る。
- ウ 主記憶へのアクセスを高速化するため、アクセス要求、データの読み書き及び後処理が終わってから、次のメモリアクセスの処理に移る。
- エ 主記憶を複数の独立したグループに分けて、各グループに交互にアクセスすることによって、主記憶へのアクセスの高速化を図る。

**問49**

メモリアンタリーブに関する正しい記述はどれか。

- ア 処理速度の異なるCPUと主記憶装置間に高速の記憶装置を設け、待ち時間を縮めること。
- イ 一つの主記憶装置をいくつかのバンクに分割し、バンクごとに一括してアドレス選択を行うこと。
- ウ 複数のバンクと呼ぶ装置にアドレスを振り分け、独立してアクセスできるようにすること。
- エ 命令の実行過程を複数のステージに分けて、それぞれをずらしながら並行して処理すること。

**問50**

メモリアンタリーブに関する記述のうち、適切なものはどれか。

- ア 新しい情報をキャッシュメモリに取り出すとき、キャッシュ上では不要になった情報を主記憶に書き込む。
- イ 主記憶と磁気ディスク間のアクセス時間のギャップを補う。
- ウ 主記憶の更新と同時にキャッシュメモリの更新を行う。
- エ 主記憶を幾つかの並列にアクセス可能な区画に分割し、連続したメモリへのアクセスを効率良く行う。

**問51**

キャッシュメモリをもつメモリシステムにおいて、平均メモリアクセス時間が増加する原因となるものはどれか。

- ア キャッシュメモリへのアクセス時間の減少
- イ ヒット率の低下
- ウ ミスペナルティの減少
- エ ミス率の低下

**問52**

RISCプロセッサの5段パイプラインの命令実行制御の順序はどれか。ここで、このパイプラインのステージは次の五つとする。

- ① 書込み
- ② 実行とアドレス生成
- ③ 命令デコードとレジスタファイル読出し
- ④ 命令フェッチ
- ⑤ メモリアクセス

- ア ③, ④, ②, ⑤, ①
- ウ ④, ③, ②, ⑤, ①

- イ ③, ⑤, ②, ④, ①
- エ ④, ⑤, ③, ②, ①

### 問53

キャッシュメモリの効果として、適切なものはどれか。

- ア 主記憶からキャッシュメモリへの命令の読出しと、主記憶からキャッシュメモリへのデータの読出しを同時に行うことによって、データ転送を高速に行う。
- イ 主記憶から読み出したデータをキャッシュメモリに保持し、CPUが後で同じデータを読み出すときのデータ転送を高速に行う。
- ウ 主記憶から読み出したデータをキャッシュメモリに保持し、命令を並列に処理することによって演算を高速に行う。
- エ 主記憶から読み出した命令をキャッシュメモリに保持し、キャッシュメモリ上でデコードして実行することによって演算を高速に行う。

### 問54

CPUにおける投機実行の説明はどれか。

- ア 依存関係のない複数の命令を、プログラム中での出現順序に関係なく実行する。
- イ パイプラインの空き時間を利用して二つのスレッドを実行し、あたかも二つのプロセッサであるかのように見せる。
- ウ 二つ以上のCPUコアによって複数のスレッドを同時実行する。
- エ 分岐命令の分岐先が決まる前に、予測した分岐先の命令の実行を開始する。